



4. Vaja: leteča luč

Opis sekvenčnih vezij s sinhronim procesom v jeziku VHDL: [vhdl_obn](#)

Delilnik frekvence

Delilnik frekvence naredimo v sinhronih vezjih v obliki digitalnega števca. Binarni števec ima število ciklov odvisno le od števila bitov (4-bitni ima 16 ciklov, 5-bitni ima 32 ciklov...), z dodatnim pogojem v procesu pa lahko naredimo števec, ki se resetira na 0 pri poljubni vrednosti. Če želimo npr. narediti delilnik s faktorjem 100, ga moramo resetirati pri vrednosti 99:

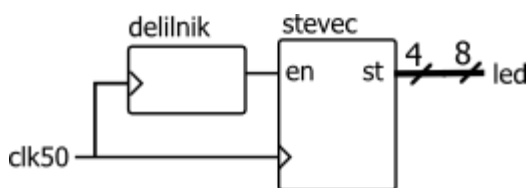
```
if rising_edge(clk) then
  if d = 99 then
    d <= "0000000";
  else
    d <= d + 1;
  end if;
end if;
```

V popolnoma sinhronih digitalnih sistemih morajo biti vsi pomnilni elementi vezani na sistem uro, ki ima običajno visoko frekvenco. Če potrebujemo v vezju spreminjanje stanj z nižjo frekvenco, uporabimo signal za omogočanje. Ko se delilnik frekvence ponastavi na vrednost na 0, omogočimo delovanje nekega sekvenčnega gradnika (števca, pomikalnega registra ipd.).

Naloga

- Naredi delilnik frekvence za faktor 100, ki potrebuje 7-bitni signal za štetje ciklov ure. Ko se signal ponastavi na 0, naj bo izhod **en** enak '1', v vseh ostalih stanjih pa naj bo **en** enak '0'. Preizkusi delovanje na simulaciji.

Števec z delilnikom frekvence



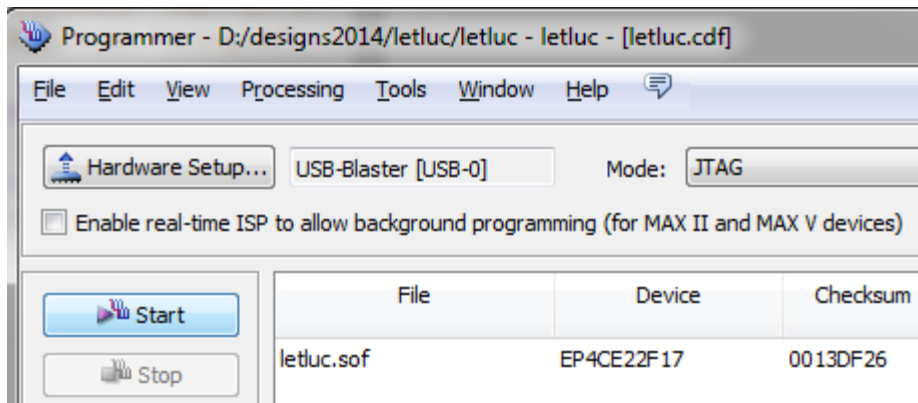
Na razvojnem sistemu je frekvenca ure visoka (50 MHz), zato uporabimo delilnik frekvence kadar želimo opazovati posamezna stanja števca.

Naloga

- Poveži delilnik frekvence s 4-bitnim števcem, ki ima signal za omogočanje. Opazuj delovanje sistema na simulaciji.
- Povečaj število bitov delilnika na 25 in nastavi pogoj za resetiranje na vrednost 20 000 000 ter preizkusi delovanje na razvojnem sistemu.

Vezje bomo prevajali z orodjem [Quartus II Web Edition](#) in naložili na razvojni sistem [Altera DE0-Nano](#). Koraki načrtovanja v programu Quartus:

- Naredi nov projekt ali odpri obstoječ projekt: [letluc.zip](#), ki vsebuje:
 - Letluc.QPF, glavna datoteka z opisom projekta,
 - Letluc.QSF, nastavitve: vrsta FPGA, definicije priključkov...
 - Letluc.SDC, uporabniške nastavitve: parametri ure
 - Letluc.VHD, datoteka z VHDL opisom vezja.
- V oknu Project Navigator dvoklikni na ime vezja (Letluc) in v urejevalniku dokočaj VHDL opis vezja.
- Preveri sintakso (**Analyze Current File**) in če ni napak prevedi vezje (**Start Compilation**, ctrl+L).
- Odpri okno za programiranje (**Tools > Programmer**) in s klikom na **Start** naloži vezje na razvojni sistem.

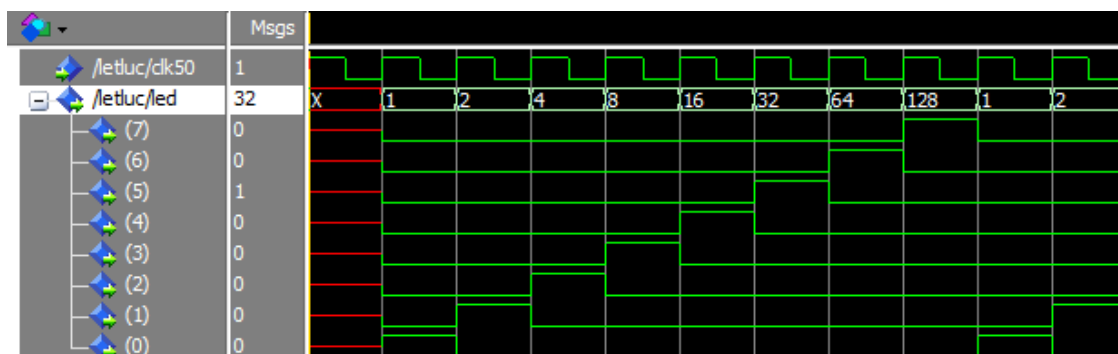


Leteča luč

Naloga

Naredi vezje, ki v zaporedju prižiga 8 LED na razvojnem sistemu.

- Razmisli katere sekvenčne in kombinajske komponente potrebuješ za izdelavo vezja. Naredi opis in simulacijo vezja, ki zaporedoma prižiga po eno izhodno LED.



- Dodaj v vezje delilnik frekvence in preizkusi delovanje na razvojnem sistemu.