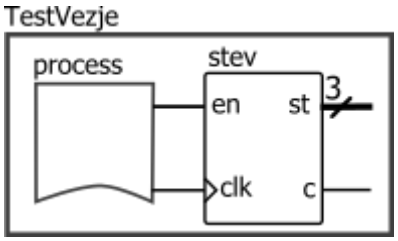
3. Vaja: sekvenčna vezja

Opis strukture digitalnih vezij: vhdl_str

Binarni števec in testna struktura

Sinhroni binarni števec je sekvenčno vezje s povratno zanko, v katerem je izhodno stanje vezano nazaj na vhod. Vrednost izhoda binarnega števca je enaka vhodni vrednosti, povečani za 1. Delovanje števca opišemo s procesom, ki se proži na fronto ure: rising_edge(clk)

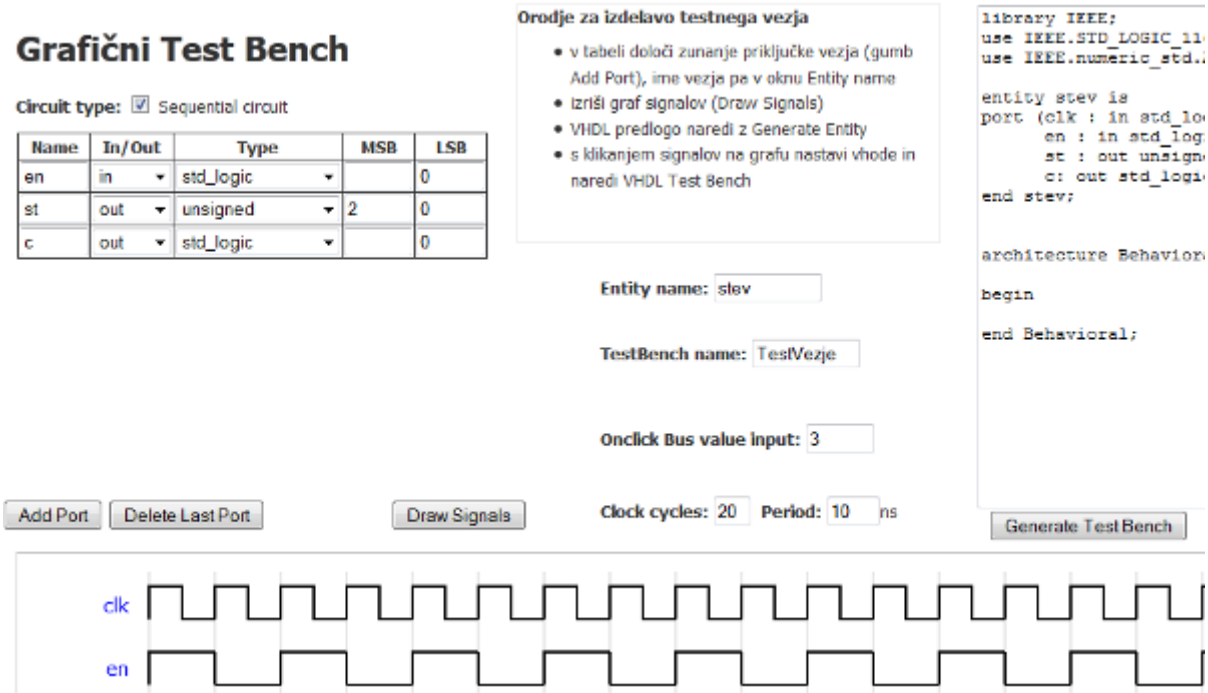


Naloga

Naredi 3-bitni števec s signalom za omogočanje (**en**), ki predstavlja pogoj za štetje. Izhod se poveča za 1 ob naraščajoči fronti ure in pogoju en='1'. Števec naj ima dodatni izhod **c**, ki se postavi na '1' takoj ko pride števec na najvišjo vrednost "111".

a. Naredi opis števca in simulacijo s testno strukturo v jeziku VHDL. V testni strukturi definiramo spreminjanje vhodov vezja, ki ga testiramo: uro (clk) in signal za omogočanje (en).

   Uporabi grafični pripomoček za izdelavo predloge vezja in testne strukture, ki je na voljo na spletni strani grafTB.

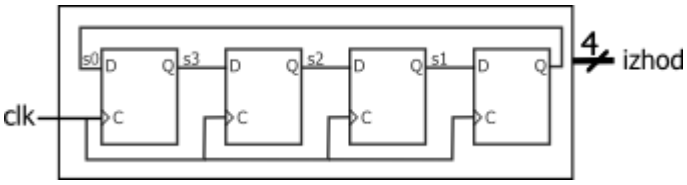


b. V tabeli definiraj vse vhode in izhode testiranega vezja (razen ure) in pri tem pazi na podatkovni tip signalov (npr. **st** naj bo tipa unsigned). Določi št. urnih ciklov (npr. 20) in zapiši ime vezja (**stev**) v okence **Entity name**. Klikni na gumb **Draw Signals** in nato Generate Entity, tako da dobiš predlogo VHDL opisa vezja. Dokončaj opis števca - za štetje uporabi notranji signal, ki mu definiraj začetno stanje "000".

c. V Grafičnem orodju nastavi s klikanjem vrednosti vhoda **en**, tako da se bo postavil na '1' vsak drugi urni cikel. Nato klikni na gumb **Generate Test Bench** shrani kodo iz okna v datoteko in jo uporabi za izvedbo simulacije.

d. Poglej na simulaciji kako deluje izhod **c**, če je pogoj za preliv zapisan v procesu ali izven procesa ?

Pomikalni register



Naloga

Naredi vezje, ki je sestavljeno iz štirih D flip-flopov, kot prikazuje shema. Deklariraj notranje signale s0, s1, s2 in s3 in jim določi začetne vrednosti, tako da bo s0 na '1', vsi ostali pa na '0'. Preizkusi delovanje vezja na simulatorju !

a. Ali je vrstni red zapisa prireditvenih stavkov pomemben ?

b. Združi vsa stanja v 4-bitni vektor, ki naj bo izhod vezja. Na katerem mestu je najbolje zapisati ta prireditveni stavek ?

c. Dodaj v opis vezja vhodni signal reset, ki naj postavi signale v začetno stanje. Signal reset naj deluje sinhrono z uro.