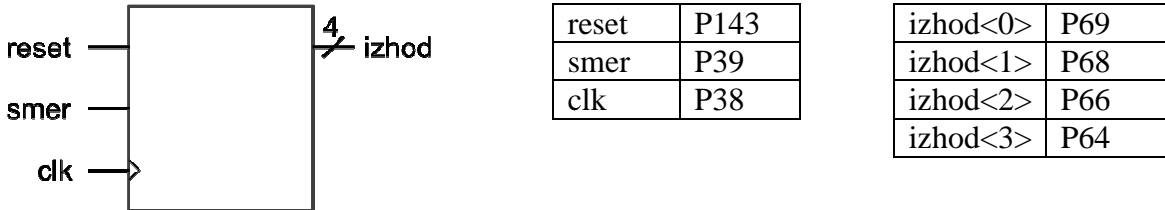


## 5. mini projekt – krmilnik koračnih motorjev

Naredi vezje, ki generira fazno zaporedje za krmiljenje 4-polnih koračnih motorjev na razvojem sistemu z vezjem (Family) Coolrunner 2 CPLD, (Device) XC2C256, (Package) TQ144.



Za krmiljenje 4-polnega motorja v načinu half-step je potrebno na izhodu generirati zaporedje: "1000", "1100", "0100", "0110", "0010", "0011", "0001", "1001", "1000" ...

Na vhodu vezja je ura frekvence 10kHz. Izhode bomo za preizkus vezali na LED, zato naj se spreminjajo s konstantno frekvenco 2 Hz (delilno razmerje 5000 oz. 13-bitni delilnik). Ob aktivnem reset='0' se zaporedje postavi na prvo kombinacijo ("1000"), ob smer='0' pa naj si izhodne faze sledijo v obratnem zaporedju.

### 1. Navodila za reševanje naloge

- Naredi dovolj velik binarni števec, ki bo omogočal generiranje vseh korakov zaporedja. Števec naj ima na izhodu kombinacijski dekodirnik. Za vzorec si oglej model vezja na naslovu: [http://Iniv.fe.uni-lj.si/vhdl/vhdl\\_model.html](http://Iniv.fe.uni-lj.si/vhdl/vhdl_model.html)
- Dodaj v števec signal za omogočanje štetja, ki ga boš uporabil za znižanje frekvence korakov glede na vhodno uro. Spremeni števec tako, da bo štel v obe smeri glede na vrednost vhoda smer. Naredi simulacijo vezja.
- Naredi 13-bitni delilnik ure, ki šteje do 5000 in ob vsakem obratu omogoči en korak števca zaporedja. Preizkusi celotno vezje najprej s simulacijo, nato pa še na razvojnem sistemu.

### 2. Navodila za pripravo poročila

Napišite kratko poročilo (par strani), ki naj vsebuje:

- Naslov: Integrirana vezja VSP 2010 – mini projekt, avtorja in datum
- Kratek opis naloge in blokovno shemo rešitve, na kateri naj bo vsak sekvenčni proces in vsak kombinacijski del predstavljen s svojim blokom. Na shemi naj bodo jasno označeni vsi pomembnejši signali v vezju in pri vektorskih signalih tudi njihove velikosti.
- Kratko razlago uporabljenih blokov.
- Primer (izsek) simulacije s kratko razlago.
- Kratek povzetek rezultatov sinteze, ki ga prevedite v slovenščino in v katerem se vidi število in vrsta uporabljenih elementov (makrojevi, kot so registri, seštevalniki, komparatorji ipd.).

K poročilu **ne prilagajte** celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Poročilo oddajte na elektronski naslov: [andrej.trost@fe.uni-lj.si](mailto:andrej.trost@fe.uni-lj.si) do **10. 12. 2010**.

Izvedba mini projekta in oddano poročilo bosta pri predmetu Integrirana vezja VSP 2010 štela kot opravljene laboratorijske vaje. Pisno oceno pridobite z opravljenim končnim projektom, poročilom in zagovorom.