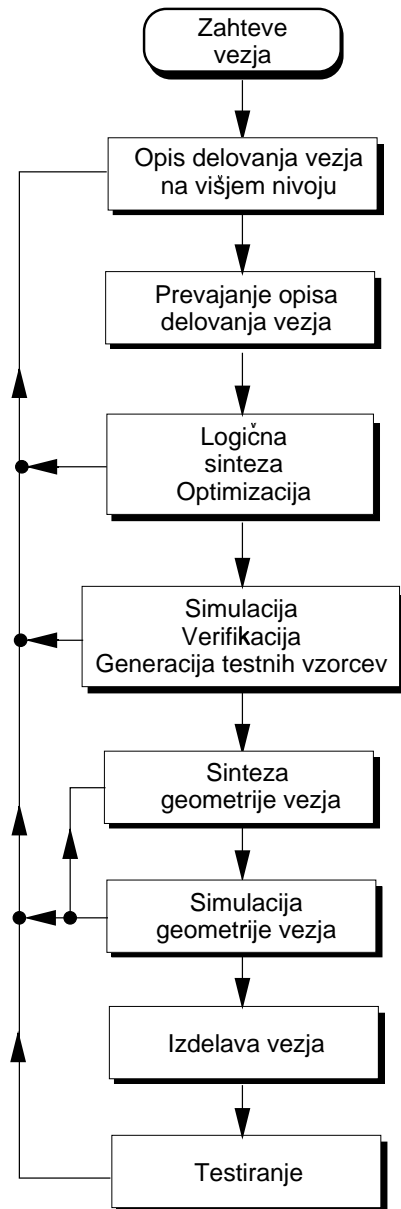


# **Računalniško načrtovanje digitalnih integriranih vezij v arhitekturi standardnih celic**

**Andrej Žemva**

- Postopki pri načrtovanju VLSI vezij.
- Opis delovanja vezja.
- Logična sinteza.
- Simulacija vezja.
- Načrtovanje geometrije vezja.
- Zaključki.

# Postopki pri načrtovanju VLSI vezij



# Opis delovanja vezja

## Primerjalnik dveh dvobitnih števil

Zapis v jeziku za opis delovanja vezja  
(Hardware Description Language, HDL).

- VHDL,
- Verilog,
- jeziki v raznih akademskih razvojnih orodjih  
(Logic III v progr. paketu. OASIS).

### Primer zapisa v HDL jeziku:

```
CIRCUIT COMPARATOR

VAR:
A ARRAY[0..1] OF INPUT;
B ARRAY[0..1] OF INPUT;
Q ARRAY[0..1] OF OUTPUT;

BEGIN

IF (A==B) THEN Q=0;
ELSE BEGIN
  IF (A > B) THEN Q=1
  ELSE
    Q=2;
END;

END.
```

# Prevajanje opisa delovanja vezja

V postopku prevajanja dobimo:

- kombinacijska vezja predstavljena s pravilnostno tabelo,
- sekvenčna vezja predstavljena z diagramom prehanjanja stanj.

Za naš primer:

$a_1$	$a_0$	$b_1$	$b_0$	$q_1$	$q_0$
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	1	0	1
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	0

# Logična sinteza

- **Logična minimizacija (2-nivojska oblika).**
- **Večnivojska logična sinteza.**
- **Tehnološka preslikava.**

## Logična minimizacija

- **Minimizirati dvonivojsko logično funkcijo.**
- **NP zahteven problem.**
- **Obstaja vrsta izpopolnjenih programskih orodij (ESPRESSO).**

**Za naš primer:**

**Zapis posameznih mintermov:**

$$q_1 = \bar{a}_1\bar{a}_0\bar{b}_1b_0 + \bar{a}_1\bar{a}_0b_1\bar{b}_0 + \bar{a}_1\bar{a}_0b_1b_0 + \bar{a}_1a_0b_1\bar{b}_0 + \bar{a}_1a_0b_1b_0 + a_1\bar{a}_0b_1b_0$$

$$q_0 = \bar{a}_1a_0\bar{b}_1\bar{b}_0 + a_1\bar{a}_0\bar{b}_1\bar{b}_0 + a_1\bar{a}_0\bar{b}_1b_0 + a_1a_0\bar{b}_1\bar{b}_0 + a_1a_0b_1\bar{b}_0 + a_1a_0b_1b_0$$

**Po postopku logične minimizacije:**

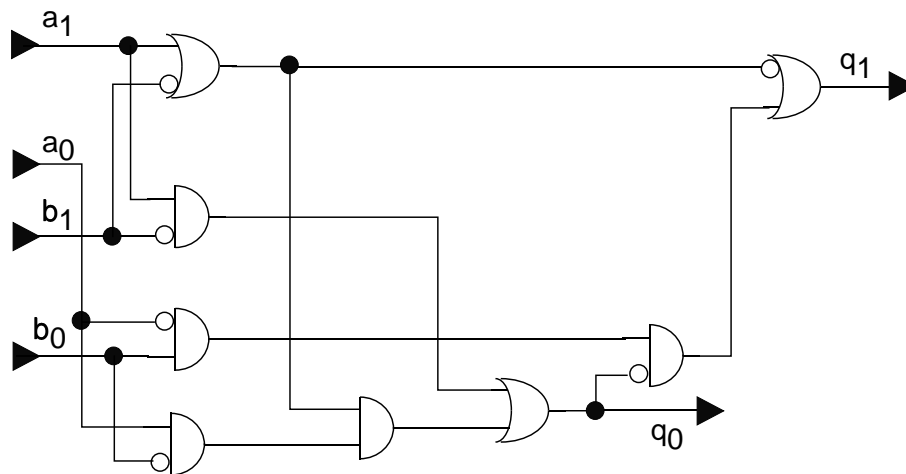
$$q_1 = \bar{a}_1b_1 + \bar{a}_1\bar{a}_0b_0 + \bar{a}_0b_1b_0$$

$$q_0 = a_1\bar{b}_1 + a_1a_0\bar{b}_0 + a_0\bar{b}_1\bar{b}_0$$

# Večnivojska logična sinteza

- Predstaviti logično funkcijo v večnivojski obliki.
- Različne metode (algebraične, boolove).

Za naš primer:



- 8 2-vhodnih logičnih vrat na 5 logičnih nivojih,
- 6 razvejitvenih vozlišč,
- največje število razvejitev je 2.

# Tehnološka preslikava

- Predstaviti logično vezje z elementi (funkcijami) iz knjižnice.
- Omejeni smo z naborom elementov - standardnih celic.
- Standardne celice so v naprej definirane (CMOS proces).
- Vsi podatki (funkcije, zakasnitve) so podani v knjižnici.

## Primer knjižnice standardnih celic

### Logične celice

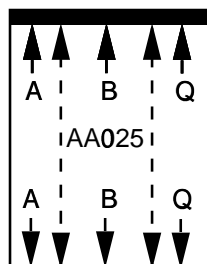
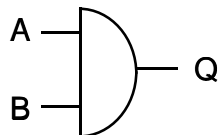
<b>IN015</b>	<b>inverter</b>
<b>AA025</b>	<b>2 - vhodna IN vrata</b>
<b>AA035</b>	<b>3 - vhodna IN vrata</b>
...	...
<b>OR035</b>	<b>3 - vhodna ALI vrata</b>
<b>OR045</b>	<b>4 - vhodna ALI vrata</b>
...	...
<b>AO035</b>	<b>3 vhodna ALI v NE-IN vrata</b>
<b>OA045</b>	<b>4 vhodna IN v NE-ALI vrata</b>

### Periferne celice

<b>IB01C5</b>	<b>vhodna celica z vh. ojačevalnikom</b>
<b>OB03C5</b>	<b>izhodna celica z izh. ojačevalnikom</b>
<b>PP01C</b>	<b>celica za napajanje <math>V_{ss}</math></b>
<b>PP02C</b>	<b>celica za napajanje <math>V_{dd}</math></b>

# Primer standardne celice

2 vhodna IN vrata



**Funkcija:**

$$q = ab$$

**Dimenzije:**

**Širina:** 12  $\mu m$

**Višina:** 30  $\mu m$

**Površina:** 360  $\mu m^2$

**Vhodne kapacitivnosti:**

	$C_i$ (pF)
<b>a</b>	<b>0.12</b>
<b>b</b>	<b>0.11</b>

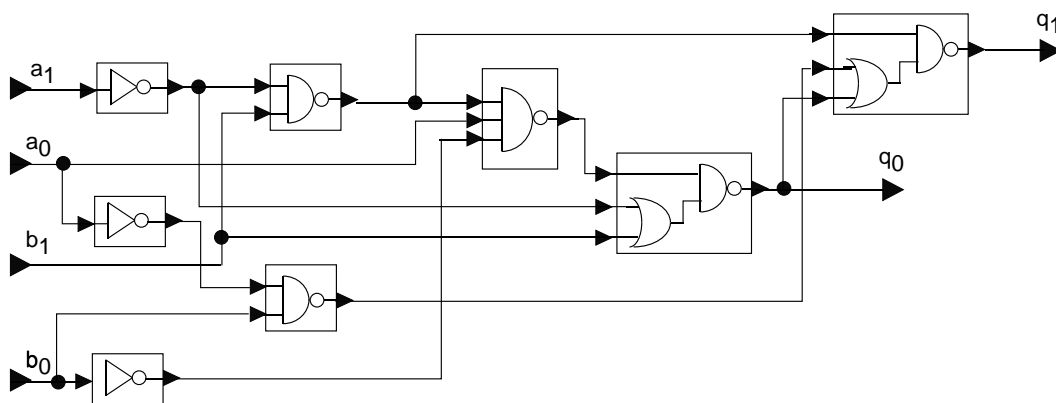
**Zakasnitev (v ns):**

$$t(CL) = tdx + ktdx \cdot CL$$

$tdx$	$ktdx$	$t(CL = 1.0pF)$
(ns)	(ns)	(ns)
<b>2.3</b>	<b>2.7</b>	<b>5.0</b>



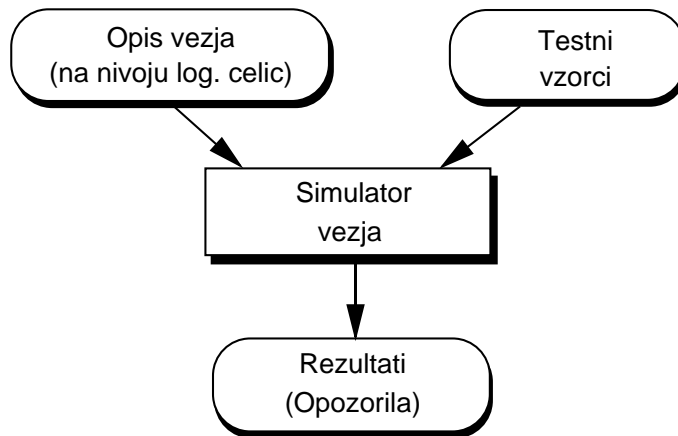
# Tehnološko preslikano vezje



- 8 2-vhodnih logičnih celic na 5 logičnih nivojih,
- 6 razvejitvenih vozlišč,
- največje število razvejitev je 2.

Ali vezje izpolnjuje zahteve ?

# Simulacija vezja



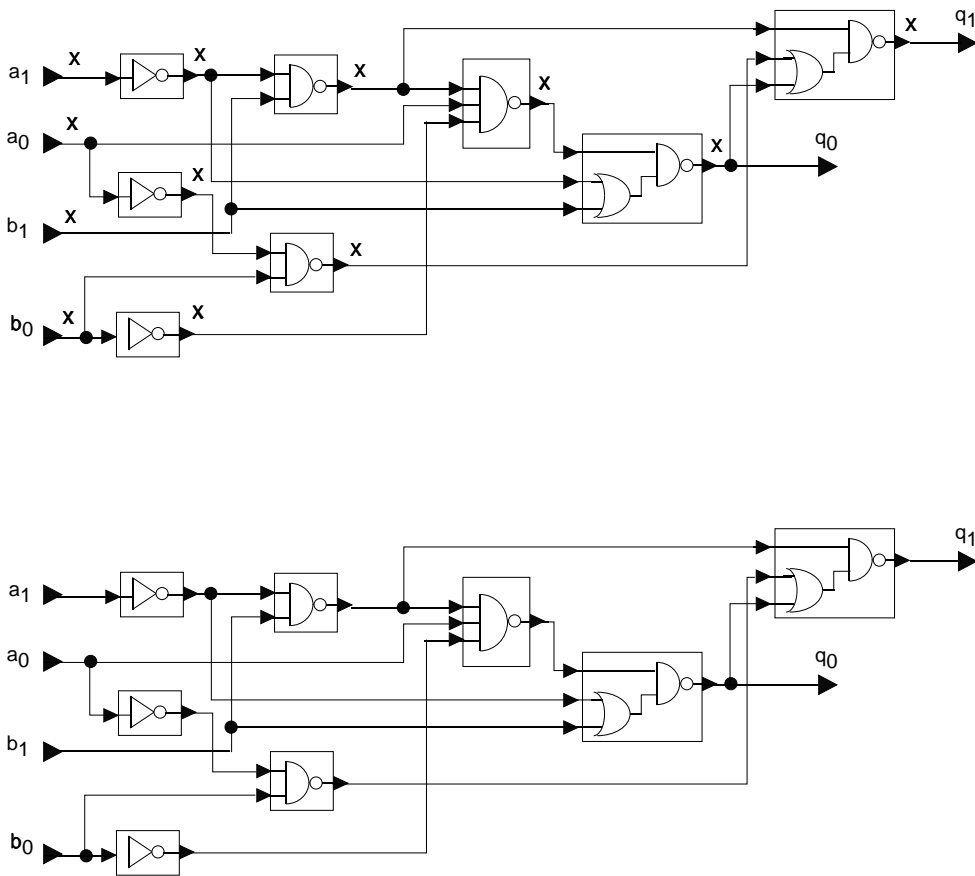
- **Želimo preveriti delovanje vezja.**
- **Relativno enostaven problem, linearna odvisnot glede na velikost vezja.**
- **Zelo pomembna je predstavitev vezja (podatkovne strukture).**
- **Danes v glavnem vzporedna simulacija.**

**2 vrsti simulacije:**

- 1. Funkcijska simulacija,**
- 2. Časovna simulacija.**

# Funkcijska simulacija

- Najenostavnejši način simulacije.
- Za izbrani testni vzorec simulator poskuša ugotoviti stanje na izhodu vezja.
- Simulacije se konča, ko so znane vrednosti v vseh vozliščih.

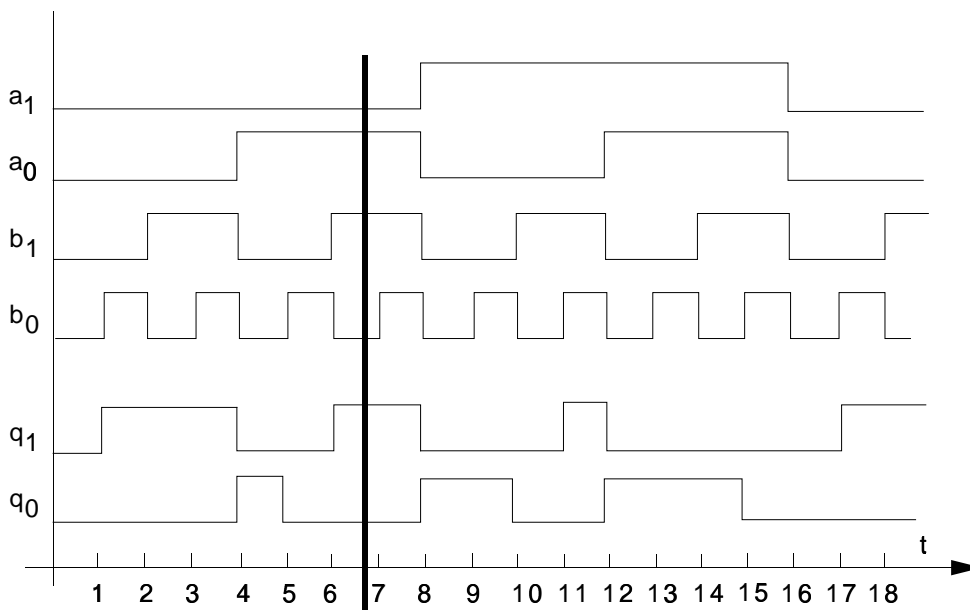


# Prikaz rezultatov simulacije

## Tekstovni način:

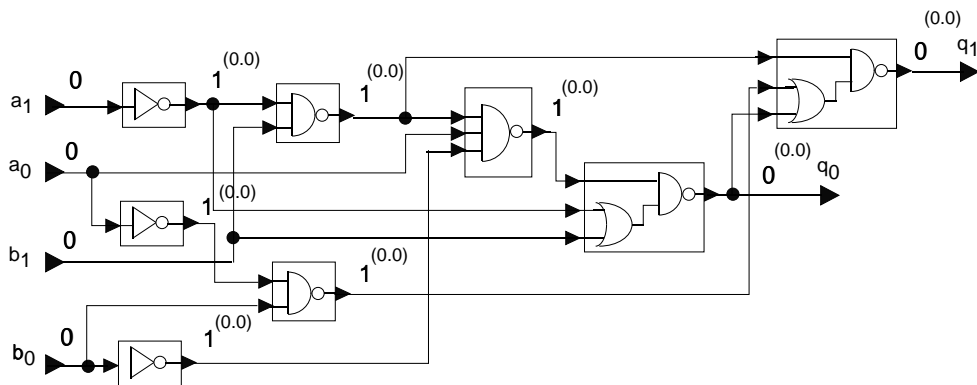
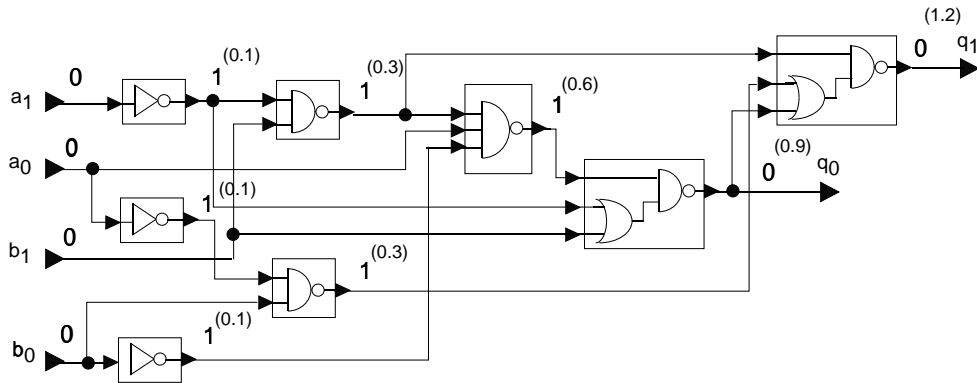
a1	a0	b1	b0	q1	q0
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
.	.	.	.	1	0
.	.	.	.	1	0
1	1	1	1	0	0

## Grafičen način:



# Časovna simulacija

- Upoštevamo zakasnitve preko logičnih celic.
- Ne vemo kakšne so zakasnitve zaradi povezav (lahko jih le predvidimo).
- Simulacija se izvaja neodvisno od tega ali so signali v vozliščih že določeni ali ne.

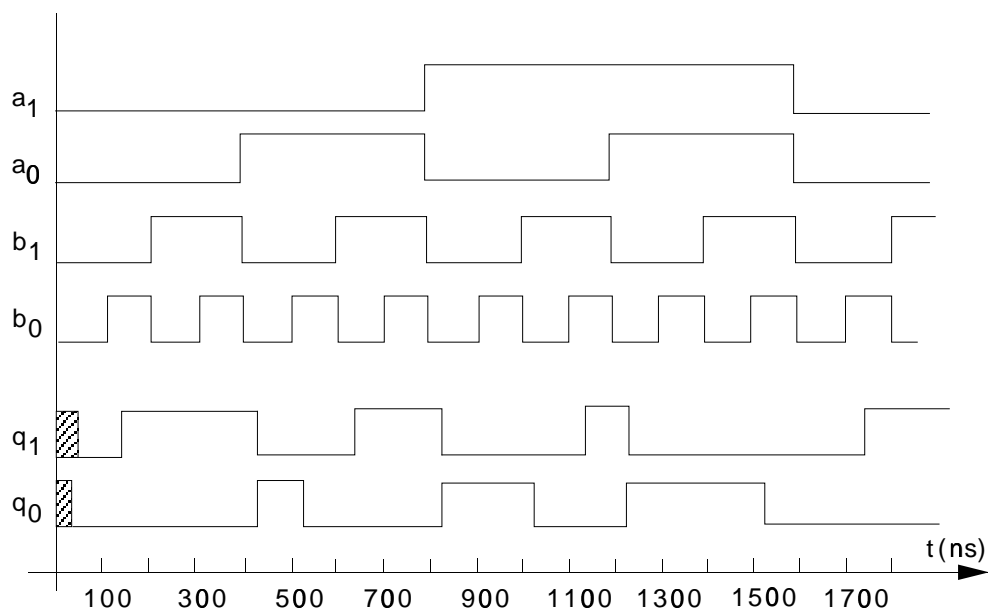


# Prikaz rezultatov časovne simulacije

## Tekstovni način:

Čas ns	a1	a0	b1	b0	q1	čas (ns)	q0	čas (ns)
0	0	0	0	0	0	34.4	0	29.3
100	0	0	0	1	1	114.8	0	100.0
200	0	0	1	0	1	200.0	0	200.0
.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.
1500	1	1	1	1	0	1500.0	.	1517.0

## Grafičen način:



# Načrtovanje geometrije vezja s standardnimi celicami

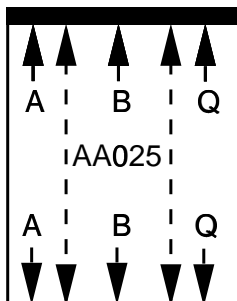
Standardne celice obsegajo:

- logične celice,
- periferne celice,
- testne celice.

## Logične celice

- standardne višine, širina je odvisna od same funkcije,
- priključki za povezave so na zgornjem in spodnjem robu celice,
- dodatne povezave za prevezave,
- napajalna vodila za  $V_{dd}$  in  $V_{ss}$  so na točno določeni višini.

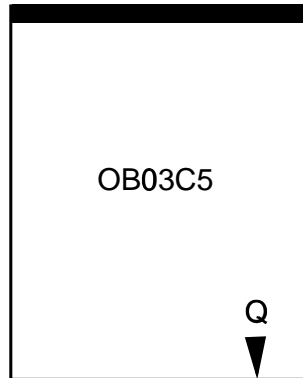
Primer logične celice:



# Periferne celice

- **Periferne celice obsegajo:**
  - vhodne celice,
  - izhodne celice,
  - napajalne celice.
- **2 vrsti periferne celic:**
  - ozke in visoke,
  - širše in nižje.
- **Priključki za povezave so na notranjem robu celice.**
- **Napajanje priključimo ob oba roba celice.**

**Primer periferne celice:**





# Koraki pri načrtovanju geometrije vezja

Izdelavo geometrije izvedemo v naslednjem vrstnem redu:

1. Razmeščanje in povezovanje logičnih celic.
2. Razmeščanje in povezovanje vhodnih in izhodnih celic.
3. Postavitev napajalnih in prilagodilnih celic.
4. Priključitev napajalnih vodil.

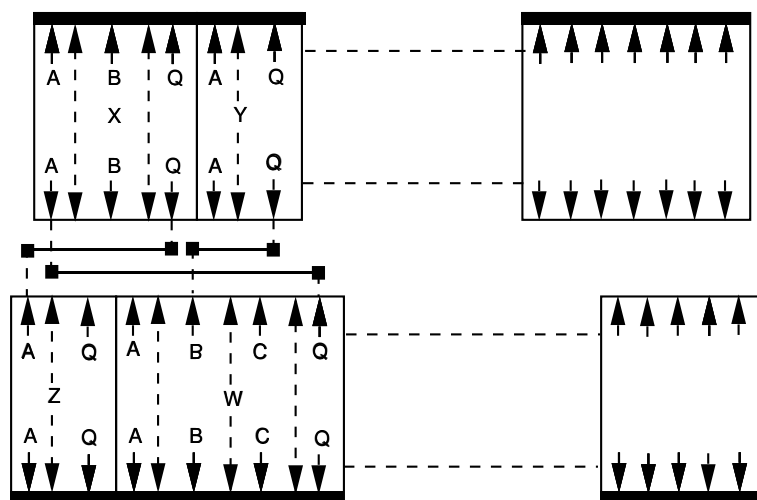
## Razmeščanje in povezovanje logičnih celic

- Oba problema se rešujeta kot 2 ločena problema.
- Nista neodvisna, kvaliteno povezovanje je odvisno od kvalitetnega razmeščanja.
- Celice razmestimo v vrstice med katerimi je t.i. povezovalni kanal.
- Tehnologija izdelave standardnih celic najpogosteje podpira dvoplastno povezovanje (polisilicij in kovina).

# Primer razmeščanja in povezovanja

Želimo razmestiti in povezati celice za naslednje povezave:

- izhod Q celice W je povezan z A vhodom celice X.
- izhod Q celice X je povezan z A vhodom celice Z.
- izhod Q celice Y je povezan z B vhodom celice W.



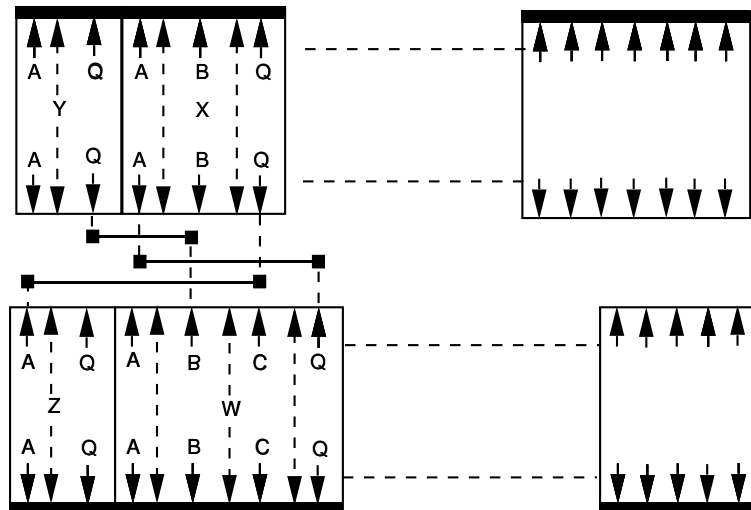
**Največja širina kanala je 2.**

# Povezovanja za drugo razmestitev

Zamenjajmo celici X in Y v zgornji vrstici.

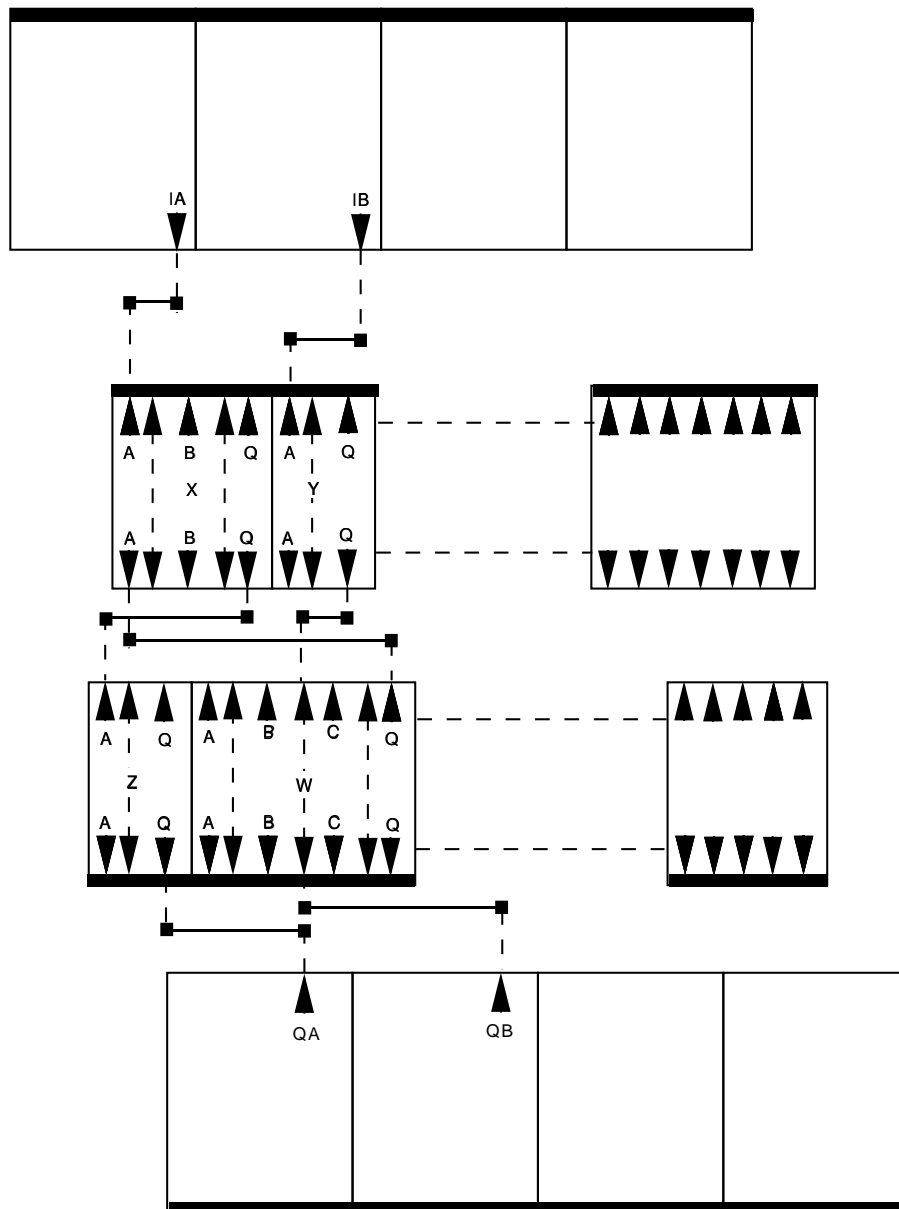
Enake zahteve:

- izhod Q celice W je povezan z A vhodom celice X.
- izhod Q celice X je povezan z A vhodom celice Z.
- izhod Q celice Y je povezan z B vhodom celice W.

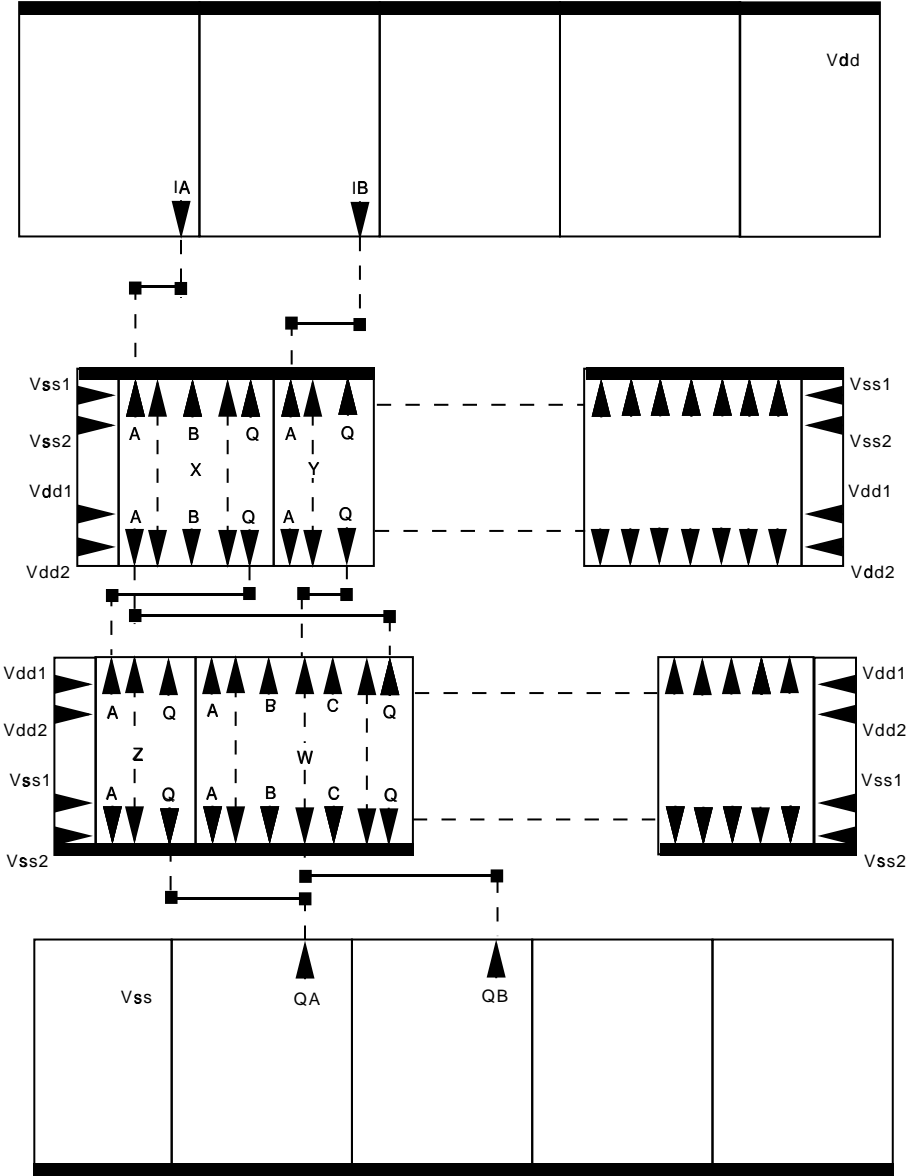


Največja širina kanala je 3.

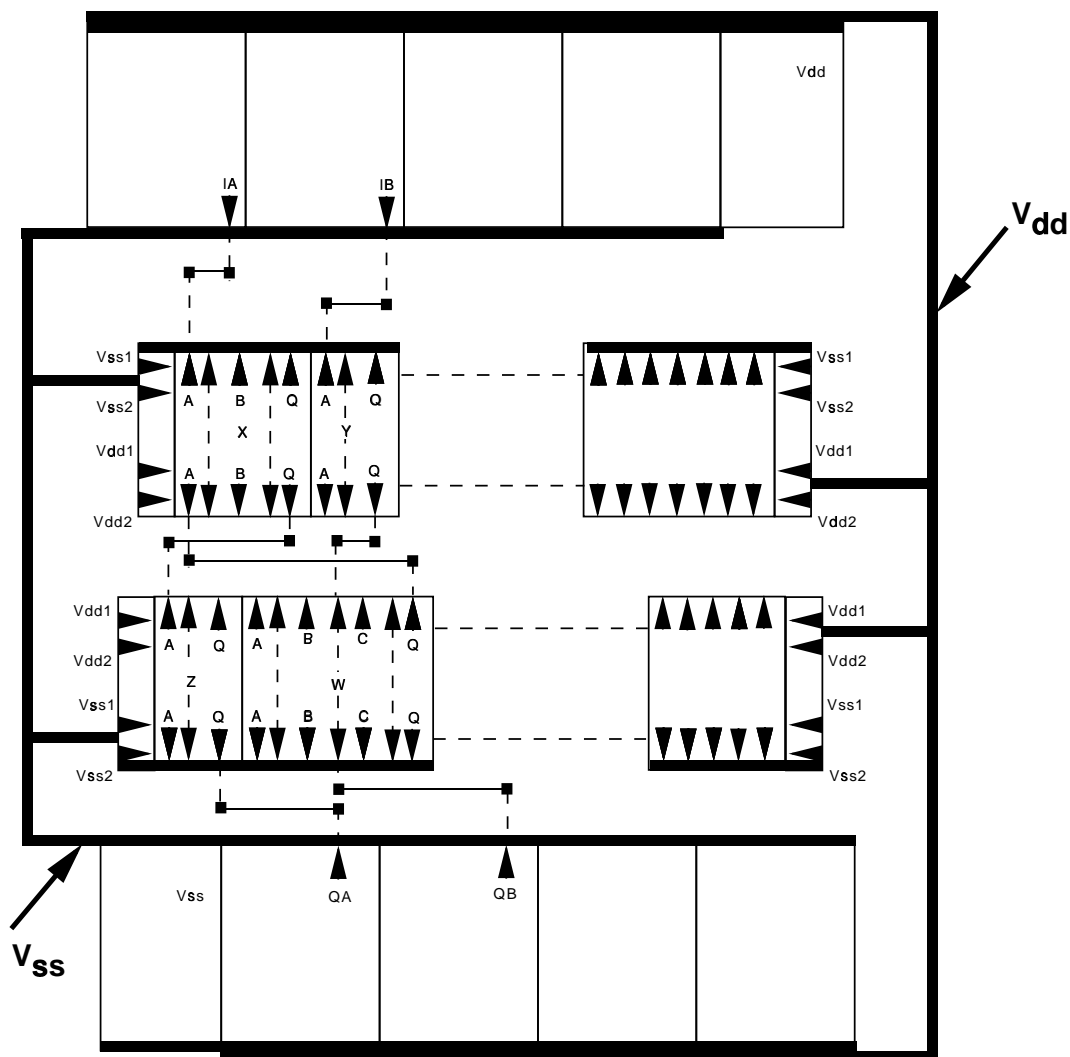
# Povezovanje logičnih in perifernih celic



# Postavitev napajalnih in prilagodilnih celic



# Priključitev napajalnih vodil



# Zaključki

- Načrtovanje v arhitekturi standardnih celic predstavlja ugodno razmerje med ceno vezja (stroški načrtovanja in izdelave) in lastnosti delovanja vezja.
- Večina orodij (akademskih in profesionalnih) za načrtovanje integriranih vezij podpira načrtovanje v arhitekturi standardnih celic.
- Postopek načrtovanja je relativno enostaven.
- Odvisnost od proizvajalca integriranega vezja – uporabimo lahko le standardne celice, ki jih določi proizvajalec.