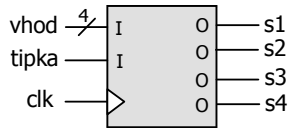


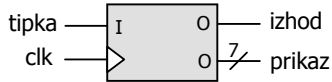
Integrirana vezja (VS 2007)

1. Generator



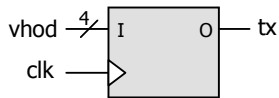
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

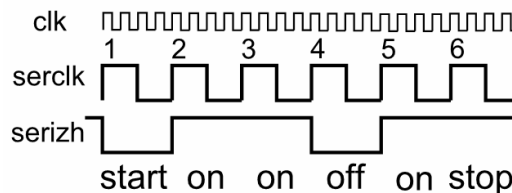


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

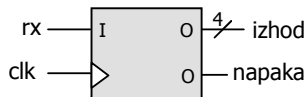
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

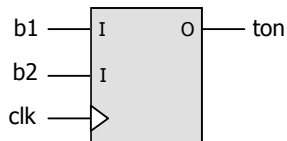


4. Sprejemnik



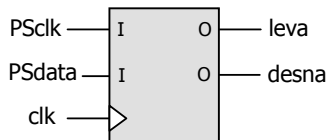
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

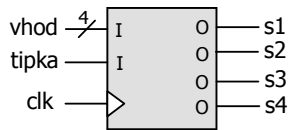
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

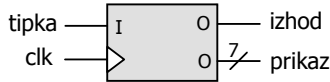
Integrirana vezja (VS 2007)

1. Generator



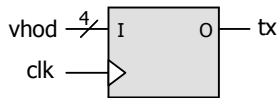
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

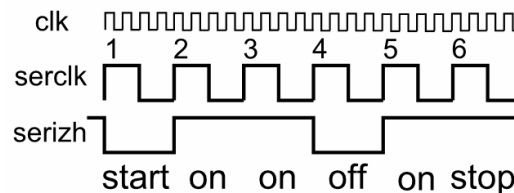


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

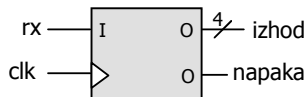
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

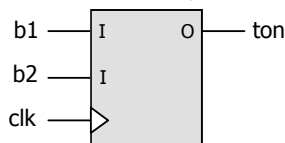


4. Sprejemnik



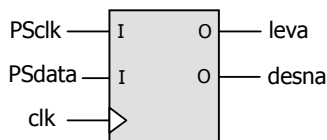
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

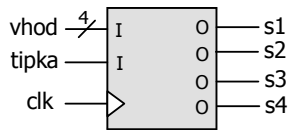
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

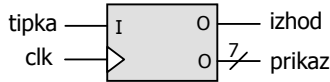
Integrirana vezja (VS 2007)

1. Generator



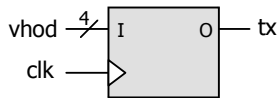
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

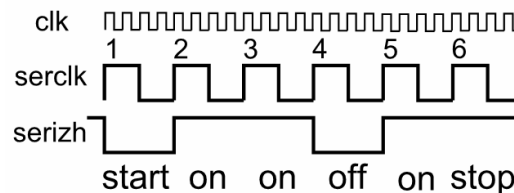


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

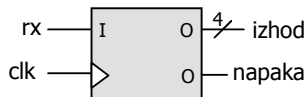
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

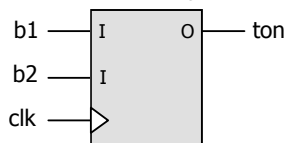


4. Sprejemnik



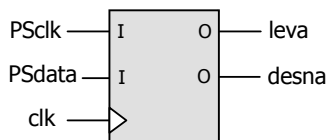
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

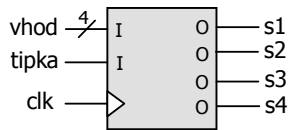
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

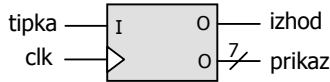
Integrirana vezja (VS 2007)

1. Generator



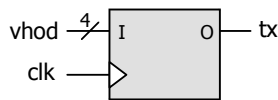
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

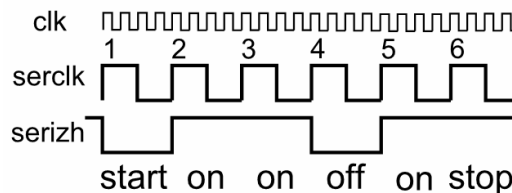


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

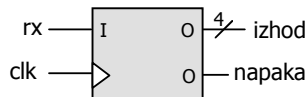
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

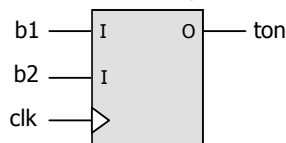


4. Sprejemnik



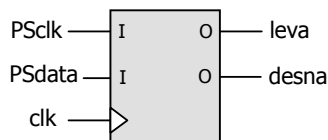
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

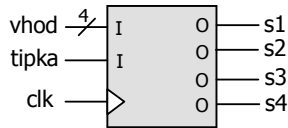
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

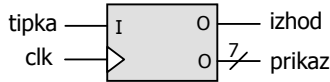
Integrirana vezja (VS 2007)

1. Generator



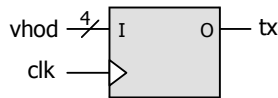
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

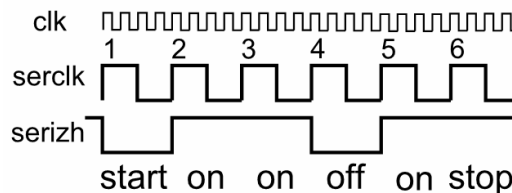


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

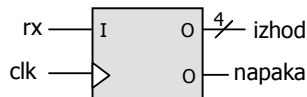
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

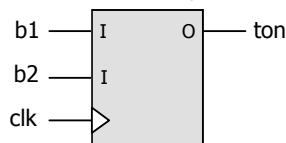


4. Sprejemnik



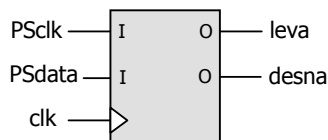
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vezja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

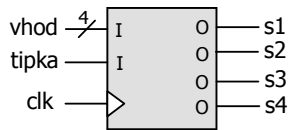
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

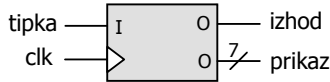
Integrirana vezja (VS 2007)

1. Generator



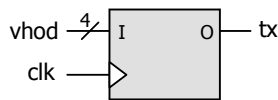
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a<256$, $s2='1'$ pri $256\leq a<512$, $s3='1'$ pri $512\leq a<768$, $s4='1'$ pri $a\geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

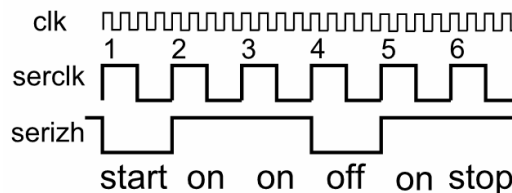


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

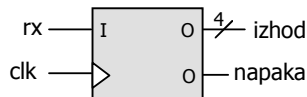
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

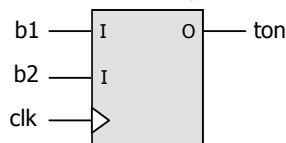


4. Sprejemnik



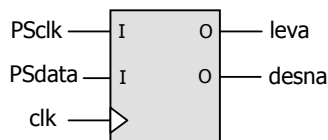
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

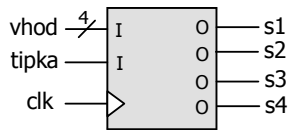
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

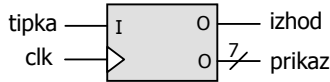
Integrirana vezja (VS 2007)

1. Generator



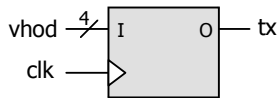
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

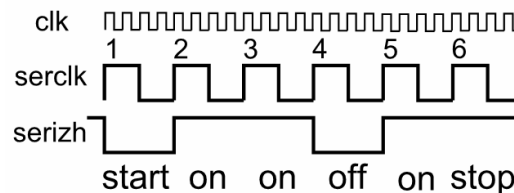


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

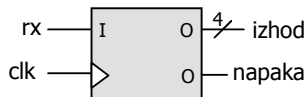
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

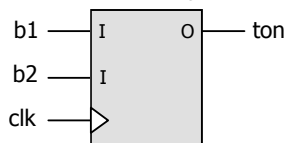


4. Sprejemnik



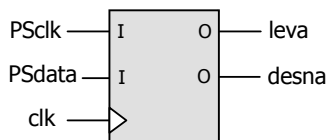
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

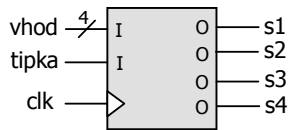
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

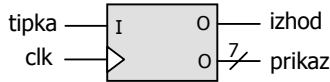
Integrirana vezja (VS 2007)

1. Generator



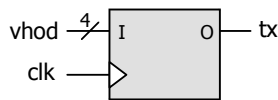
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

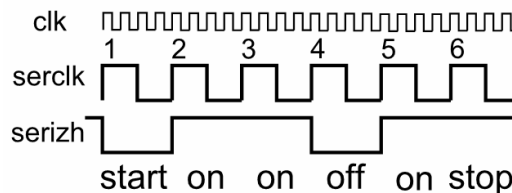


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

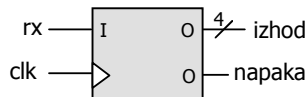
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

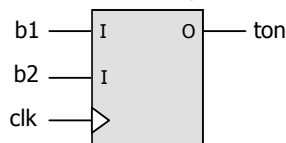


4. Sprejemnik



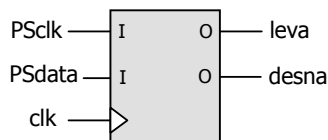
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

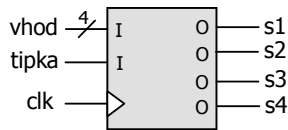
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

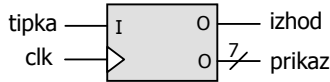
Integrirana vezja (VS 2007)

1. Generator



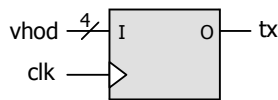
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

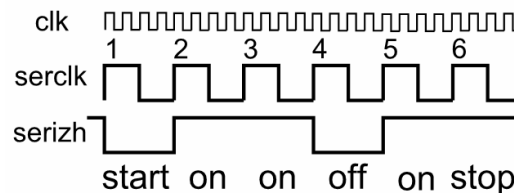


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

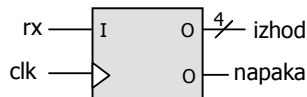
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

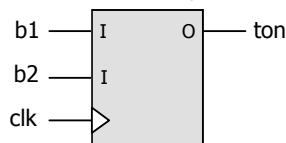


4. Sprejemnik



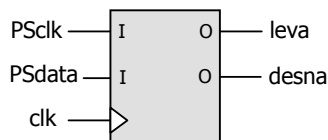
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

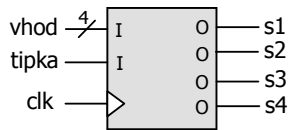
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

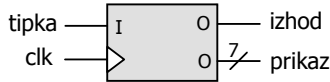
Integrirana vezja (VS 2007)

1. Generator



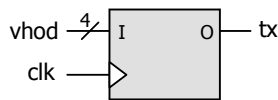
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

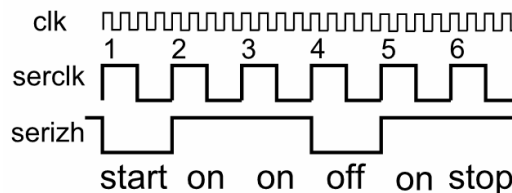


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

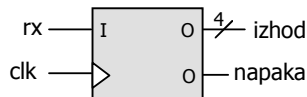
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

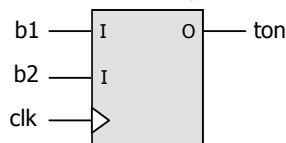


4. Sprejemnik



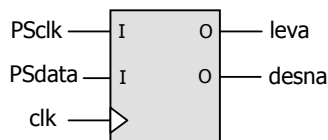
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

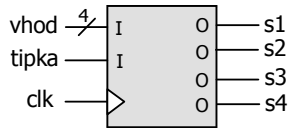
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

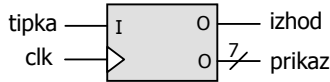
Integrirana vezja (VS 2007)

1. Generator



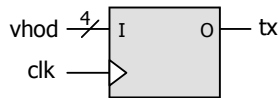
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

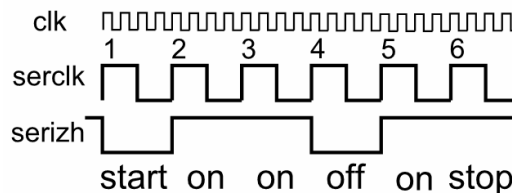


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

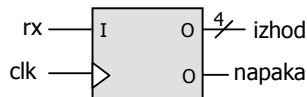
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

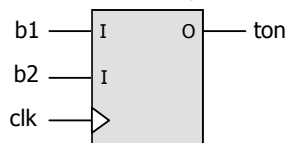


4. Sprejemnik



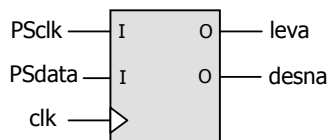
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

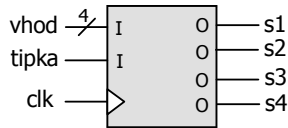
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

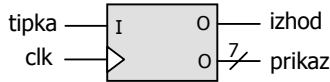
Integrirana vezja (VS 2007)

1. Generator



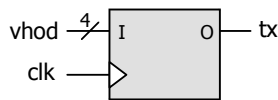
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a<256$, $s2='1'$ pri $256\leq a<512$, $s3='1'$ pri $512\leq a<768$, $s4='1'$ pri $a\geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

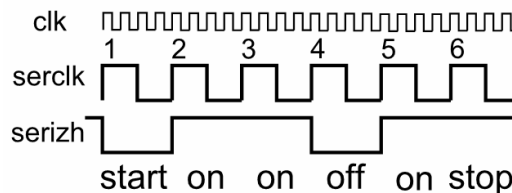


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

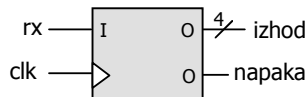
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

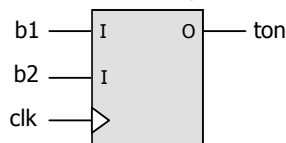


4. Sprejemnik



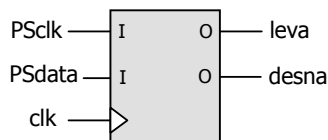
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

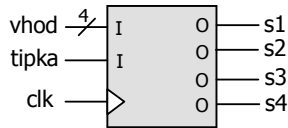
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

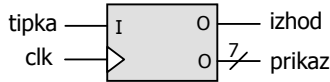
Integrirana vezja (VS 2007)

1. Generator



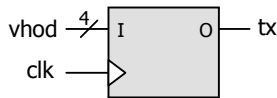
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

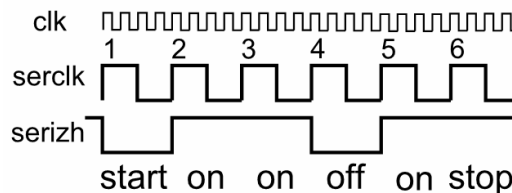


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

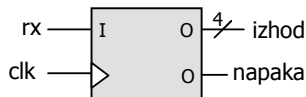
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

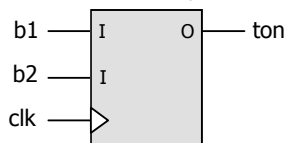


4. Sprejemnik



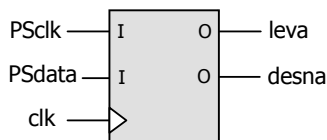
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

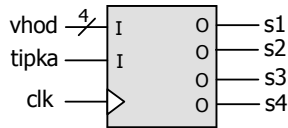
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

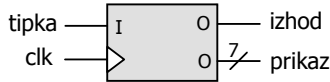
Integrirana vezja (VS 2007)

1. Generator



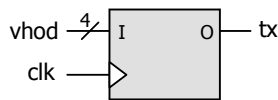
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

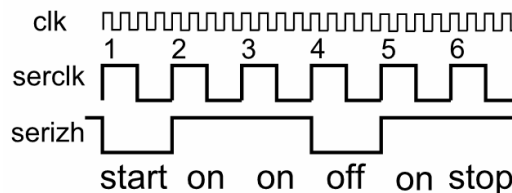


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

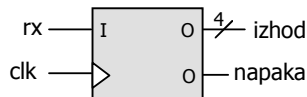
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

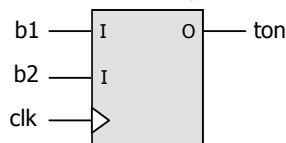


4. Sprejemnik



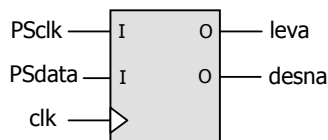
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

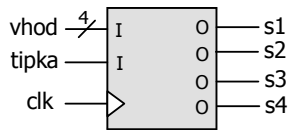
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

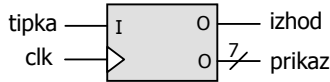
Integrirana vezja (VS 2007)

1. Generator



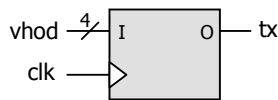
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

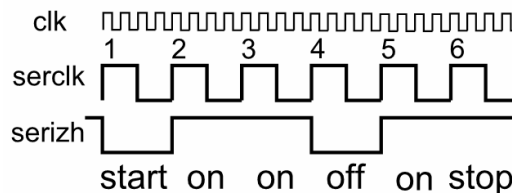


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

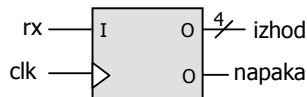
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

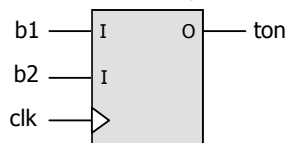


4. Sprejemnik



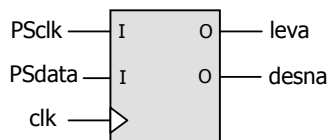
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

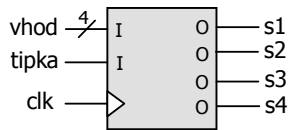
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

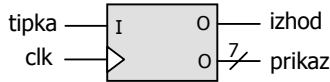
Integrirana vezja (VS 2007)

1. Generator



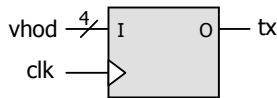
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

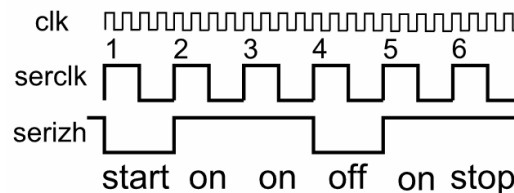


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

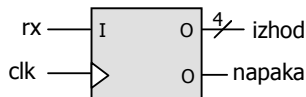
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

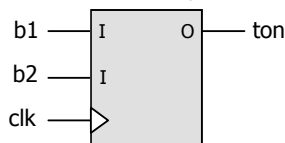


4. Sprejemnik



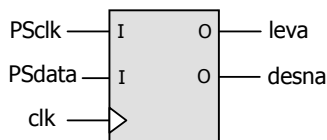
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

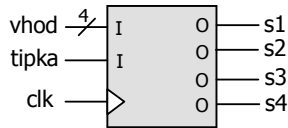
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

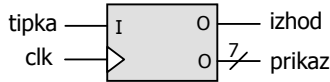
Integrirana vezja (VS 2007)

1. Generator



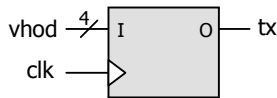
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

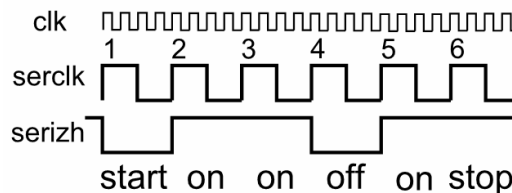


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

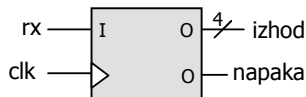
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

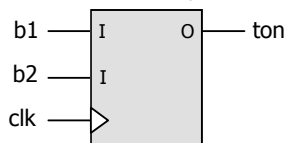


4. Sprejemnik



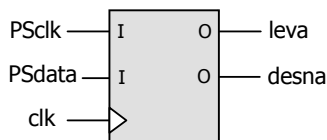
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

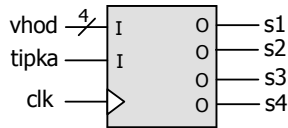
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

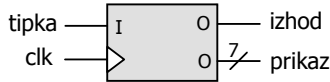
Integrirana vezja (VS 2007)

1. Generator



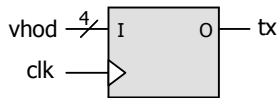
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki seštevata (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

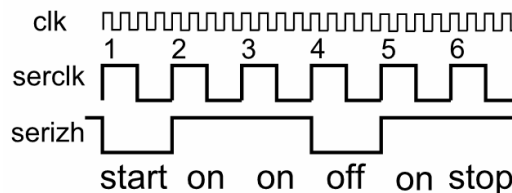


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

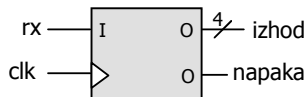
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

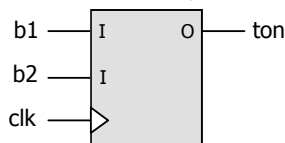


4. Sprejemnik



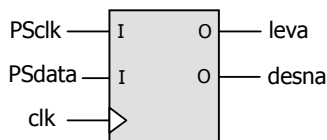
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeru, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

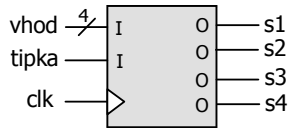
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

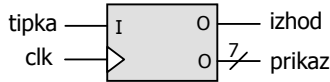
Integrirana vezja (VS 2007)

1. Generator



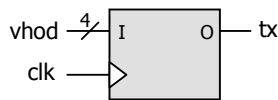
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

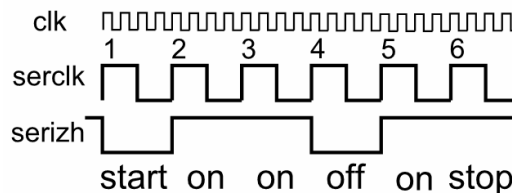


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

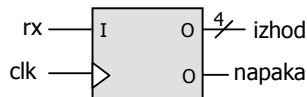
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

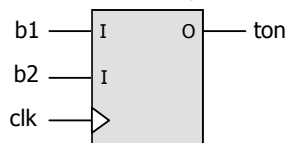


4. Sprejemnik



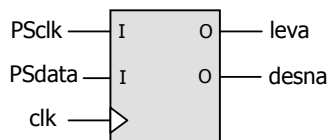
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

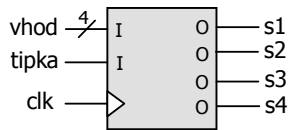
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

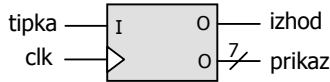
Integrirana vezja (VS 2007)

1. Generator



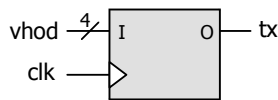
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

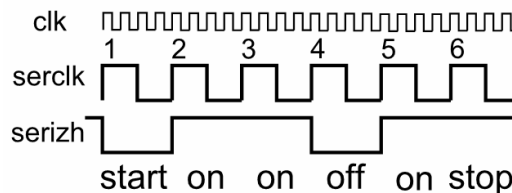


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

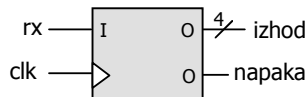
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

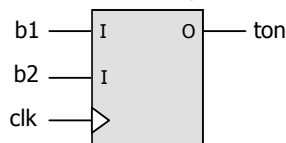


4. Sprejemnik



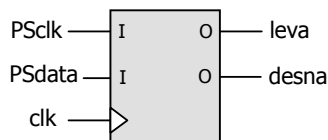
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

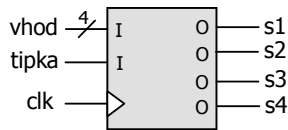
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

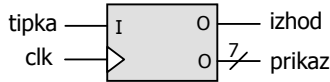
Integrirana vezja (VS 2007)

1. Generator



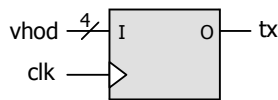
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

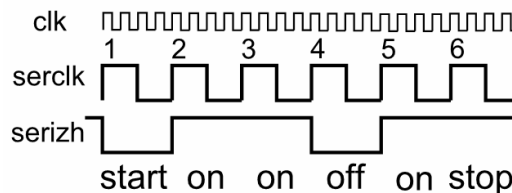


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

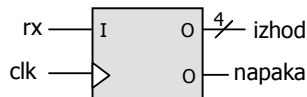
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

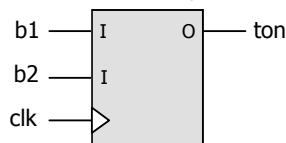


4. Sprejemnik



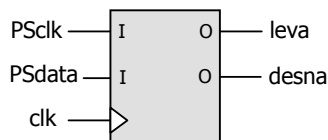
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

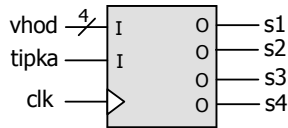
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

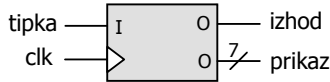
Integrirana vezja (VS 2007)

1. Generator



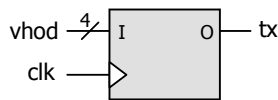
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulador, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulador dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

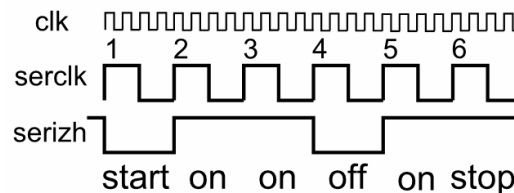


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

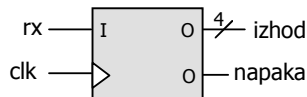
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

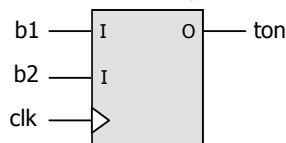


4. Sprejemnik



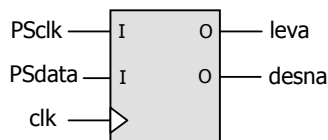
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

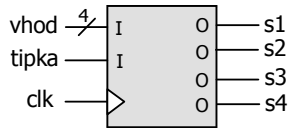
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

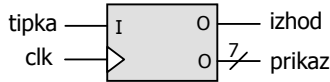
Integrirana vezja (VS 2007)

1. Generator



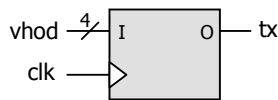
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

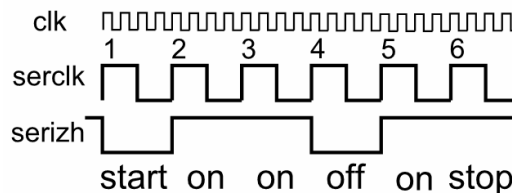


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

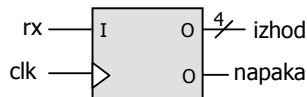
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

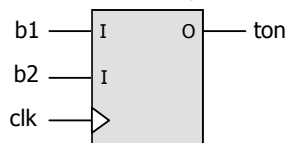


4. Sprejemnik



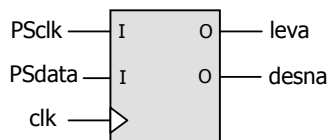
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

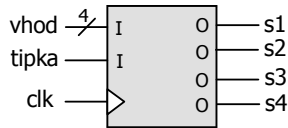
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

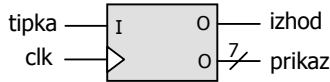
Integrirana vezja (VS 2007)

1. Generator



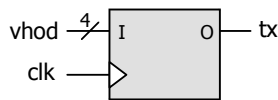
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

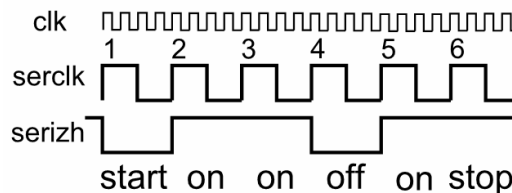


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

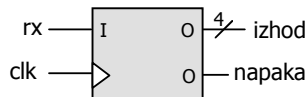
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

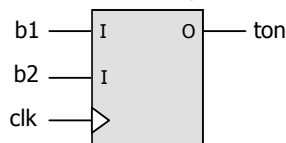


4. Sprejemnik



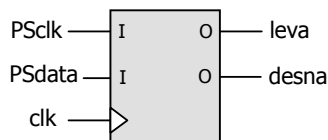
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

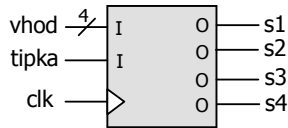
Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

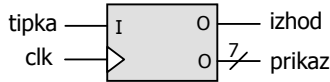
Integrirana vezja (VS 2007)

1. Generator



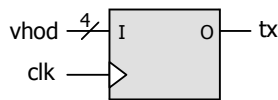
Naredi generator sekvence (1-2-3-4), ki mu s 4-bitnim vhodom določamo hitrost. Generator naj vsebuje 10-bitni akumulator, ki sešteva (ali odšteva) vhodne vrednosti. Izhodi so odvisni od vrednosti akumulatorja: $s1='1'$ pri $a < 256$, $s2='1'$ pri $256 \leq a < 512$, $s3='1'$ pri $512 \leq a < 768$, $s4='1'$ pri $a \geq 768$. Uro za akumulator dobite z deljenjem vhodne ure s 500. Ob pritisku na tipko naj se smer sekvence obrne.

2. Sito za tipko

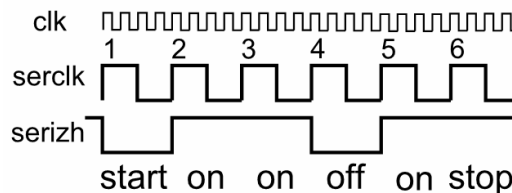


Naredi sito za izločanje pojava odskakovanja tipke. Stanje tipke beri 4x zaporedoma s frekvenco 100Hz pri vhodni uri 100kHz. Če dobiš pri vseh štirih branjih vrednost '1', naj gre izhod na '1', če pa dobiš pri vseh branjih '0', naj gre izhod na '0'. Ob ostalih kombinacijah naj izhod ohranja zadnjo vrednost. Dodaj v vezje še števec pritiskov na tipko z dekodirnikom za 7-segmentni prikazovalnik.

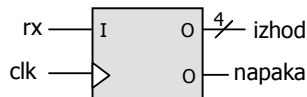
3. Oddajnik



Naredi vezje, ki vsako sekundo odda podatek o stanju štirih stikal po serijski povezavi. Oddani paket naj bo sestavljen iz startnega bita (logična '0'), štirih podatkovnih bitov in stop bita (logična '1'). V času, ko ni oddajanja, naj bo serijski izhod postavljen na '1'. Frekvenca serijske oddajne ure naj bo 4x nižja od frekvence vhodne ure (1MHz).

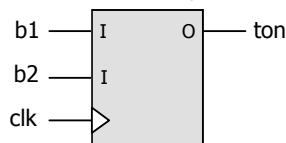


4. Sprejemnik



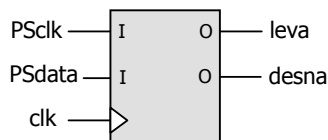
Naredi asinhroni sprejemnik serijskih signalov po protokolu iz 3. naloge. Frekvenca serijskih signalov naj bo 250 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom štirih podatkovnih bitov, ki naj jih predstavi na izhodu. V primeu, da pride do napake v stop bitu, naj se izhod napaka postavi na '1'.

5. Melodija



Naredi generator tonov v razponu ene oktave. Vezje naj proizvaja pravokotne impulze ustrezne frekvence iz vhodne ure s frekvenco 100kHz. Vezje naj ob pritisku na eno tipko zaigra lestvico (po vrsti zaigra vse tone v oktavi), ob pritisku na drugo tipko pa naj zaigra preprosto melodijo.

6. PS/2 vmesnik



Naredi PS/2 vmesnik za branje stanja računalniške miške. Vmesnik naj prebere stanje tipk in jih prikaže na dveh izhodih. Frekvenca vhodne ure je 1 MHz.

Vežja naj bodo opisana v jeziku VHDL in preizkušena na simulatorju. Napravite sintezo vezja za CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2. Končne izdelke bomo preizkusili na razvojnih sistemih.

Poročilo

Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v CPLD XC2C256.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.