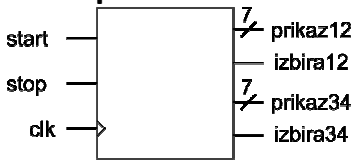


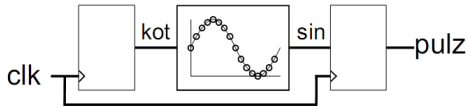
## Integrirana vezja VSP 2009

### 1. Štoparica



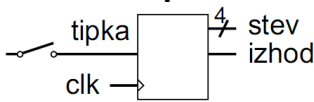
Naredi elektronsko štoparico, ki meri čas v minutah in sekundah ter ga prikazuje na štirih LED prikazovalnikih (po dva prikazovalnika imata skupno vodilo). Štoparico poženemo s pritiskom tipko start in ustavimo s pritiskom na tipko stop. Če tipko stop držimo več kot 1s, pa naj se štoparica postavi na 00:00. Frekvenca vhodne ure je 10kHz.

### 2. Generator sinusa



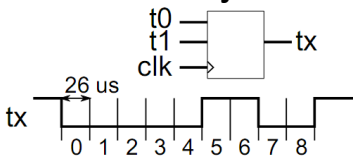
Naredi generator sinusnega signala s 5-bitnim pulzno-širinsko moduliranim izhodom. Naredi pulzno-širinski modulator (PWM), ki sprejme 5 bitno vrednost, ki določa širino periodičnih pulzov (pulzi se ponavljajo na 32 ciklov; če je na vhodu npr. 4 naj bodo na izhodu 4 zaporedne enice in 28 ničel...). Nato tabeliraj sinusni val s 16 vzorci na periodo in zapiši vsak vzorec z 32 bitnim nepredznačenim številom. Na vhodu tabele naj bo števec kotov, izhod pa veži na vhod PWM.

### 3. Sito za tipke



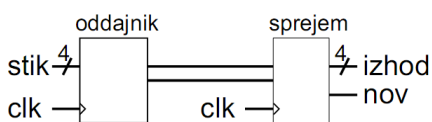
Naredi sito, ki odstrani odskakovanje tipk ob pritisku in spustu. Vezje naj vzorči stanje tipke s frekvenco 100Hz ob vhodni uri 10kHz. Kadar dvakrat zaporedoma prebere stanje '1', naj postavi izhod na '1'. Izhod naj gre na '0', kadar dvakrat zaporedoma prebere stanje '0', sicer pa najh ohranja enako vrednost. Za demonstracijo delovanja sita poveži izhod na števec, ki naj se poveča za 1 ob vsakem pritisku na tipko.

### 4. RS232 oddajnik



Naredi oddajnik asinhronih serijskih signalov po protokolu RS232, ki oddaja s frekvenco 38,4kHz ob vhodni uri 1MHz. Oddajnik naj ob pritisku na tipko T0 odda znak '0' (ASCII "00110000"), ob pritisku na T1 pa znak '1' (ASCII "00110001"). Oddaja se začne z logično '0', ki mu sledi 8 bitov od najnižjega naprej, nato pa gre izhod v mirovno stanje (logična '1').

### 5. Komunikacijska enota



Naredi serijski oddajnik in sprejemnik, ki sta povezana z dvema signaloma (npr. ura in podatki). Oddajnik naj vsako sekundo vzorči stanje štirih stikal in jih v serijski obliki pošlje sprejemniku, ki jih pretvori nazaj v paralelne izhode. Ob vsakem sprejetem paketu naj pošlje kratek impulz na izhod nov\_podatek.

Napišite kratko poročilo (par strani), ki naj vsebuje:

- Kratak opis naloge in blokovno shemo rešitve, na kateri naj bo vsak sekvenčni proces in vsak kombinacijski del predstavljen s svojim blokom. Na shemi naj bodo jasno označeni vsi pomembnejši signali v vezju in pri vektorskih signalih tudi njihove velikosti.
- Kratko razlago uporabljenih blokov.
- Primer (izsek) simulacije s kratko razlago.
- Kratak povzetek rezultatov sinteze, ki ga prevedite v slovenščino in v katerem se vidi število in vrsta uporabljenih elementov (makrojevi, kot so registri, seštevalniki, komparatorji ipd.).

K poročilu **ne prilagajte** celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Diagram poteka **ni** blokovna shema in ni potreben, prav tako ni potrebno razlagati podrobne RTL sheme, ki jo generira programska oprema. Za odlično oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.