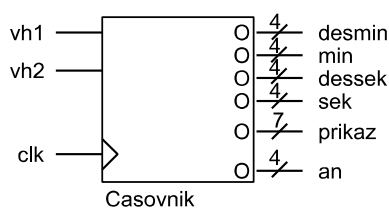


# Predlogi projektov – VSP 2010

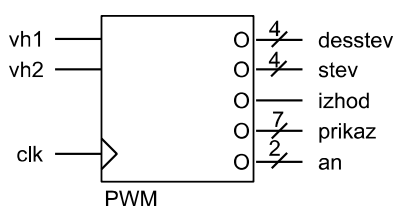
## 1. Elektronski časovnik



Naredite elektronski časovnik, ki odštevata in prikazuje minute in sekunde. Vhodna ura ima frekvenco 10 kHz. Časovnik nastavimo z inkrementalnim dajalnikom (avtomat za detekcijo smeri), ki z impulzi spreminja minute. Ko je nastavljen, naj odštevata čas do 00.00. Čas prikazujeta na štirih 7-segmentnih prikazovalnikih s skupnim vodilom. Prikazovalnike ciklično izbirajte s signalom an, ki ima zaporedne vrednosti "1110", "1101", "1011" in "0111".

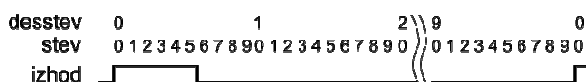
Veže naj vsebuje delilnik po modulu 10.000 ter BCD števec za sekunde, desetice sekund, minute in desetice minut. Na vhodu uporabite avtomat za detekcijo smeri. Uporabite števec z dekodirnikom za krmiljenje anod (an) ter 4-vhodni izbirnik s 7-segmentnim dekodirnikom za prikaz. Segmenti prikazovalnika gorijo pri logični 0 (negativna logika).

## 2. Pulznoširinski modulator

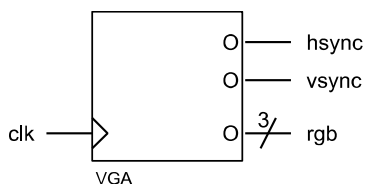


Naredite pulznoširinski modulator, ki daje na izhod impulze z razmerjem impulz / pavza med 0 in 99. Razmerje nastavimo z inkrementalnim dajalnikom (avtomat za detekcijo smeri). Nastavljeno razmerje prikazujeta na dveh 7-segmentnih prikazovalnikih s skupnim vodilom. Anode (an) naj se spreminjajo v zaporedju "10", "01".

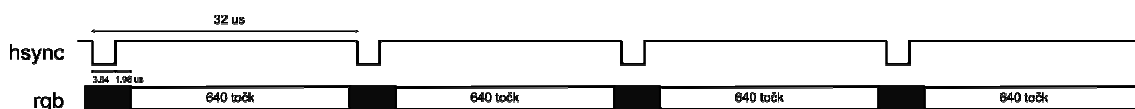
V vezju naj bo 2-bitni BCD števec od 0 do 99 in primerjalnik, ki določa kdaj je na izhodu vrednost 0 ali 1. Če npr. nastavimo z inkrementalnim dajalnikom vrednost 05, naj se izhod spreminja takole:



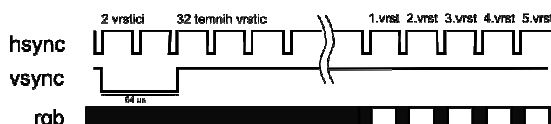
## 3. VGA generator mavrice



Naredi generator VGA signala za računalniški monitor pri ločljivosti 640x480 in frekvenci osveževanja 60 Hz. Vhodna ura ima frekvenco 25 MHz. Monitor izrisuje sliko po vrsticah, 3-bitni signal rgb pa določa barvo točk v posamezni vrstici. Horizontalni sinhronizacijski signal hsync določa frekvenco izrisovanja vrstic, ki znaša 31.25 kHz (perioda 32 μs). Sinhronizacijski signal naj ima negativne impulze (logična ničla) širine 3.84 μs. V času okoli sinhronizacijskega impulza mora biti izhod rgb zatemnjen (vrednost 000), med impulzi pa se prikazuje 640 točk posamezne vrstice:

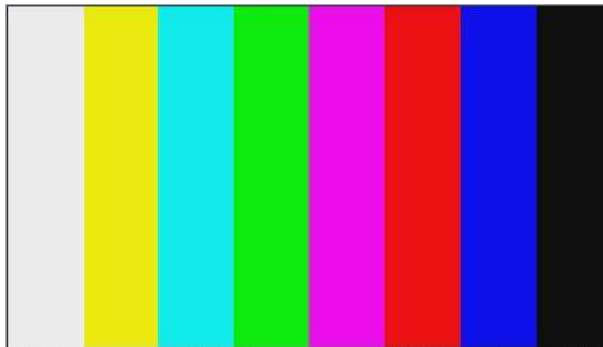


V vezju naredi števec po modulu 800 (razmerje frekvenc: 25 MHz / 31.25 kHz = 800), ki bo štel točke v vrstici in določal stanje signala hsync. Drugi sinhronizacijski izhod je vertikalni vsync, ki določa risanje nove slike. Generator impulzov vertikalne sinhronizacije je števec, ki se povečuje ob vsakem hsync in šteje po modulu 521 (31.25 kHz / 60 Hz). Tudi signal vsync ima negativne impulze, ki naj trajajo dve periodi horizontalne sinhronizacije (64 μs). V času okoli vertikalne sinhronizacije je rgb zatemnjen: v času trajanja impulza, nato še 32 vrstic, potem se šele začne izrisovati prva vrstica, nato druga, ... kot prikazuje časovni diagram:



Izhodni signal rgb naj bo enak v vseh vrsticah, ki niso zatemnjene, tako da se bo na zaslonu prikazala vertikalna mavrica. Barve točk v vrstici naj bodo razporejene kot prikazuje tabela:

Točke v vrstici	RGB	barva
0-79	111	bela
80-159	110	rumena
160-239	011	cian modra
240-319	010	zelena
320-399	101	škrlatna
400-479	100	rdeča
480-559	001	modra
560-639	000	črna



Da ne bo slika čisto statična dodajte v vezje logiko, ki vsako sekundo spremeni razpored barv v mavrici (npr. negira vse vrednosti iz tabele).

## Navodila za izdelavo poročila

Napišite kratko poročilo (par strani), ki naj vsebuje:

- Kratak opis naloge in blokovno shemo rešitve, na kateri naj bo vsak sekvenčni proces in vsak kombinacijski del predstavljen s svojim blokom. Na shemi naj bodo jasno označeni vsi pomembnejši signali v vezju in pri vektorskih signalih tudi njihove velikosti.
- Kratko razlago uporabljenih blokov.
- Primer (izsek) simulacije s kratko razlago.
- Kratak povzetek rezultatov sinteze, ki ga prevedite v slovenščino in v katerem se vidi število in vrsta uporabljenih elementov (makrojev, kot so registri, seštevalniki, komparatorji ipd.).

K poročilu **ne prilagajte** celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Diagram poteka **ni** blokovna shema in ni potreben, prav tako ni potrebno razlagati podrobne RTL sheme, ki jo generira programska oprema. Pri izdelavi projekta v orodju Xilinx ISE nastavite vezje CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2.