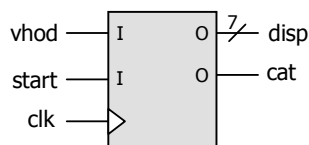


# Integrirana vezja (UNI 2007)

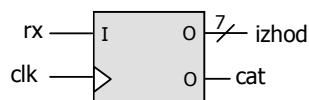
## CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2

### 1. Merilnik



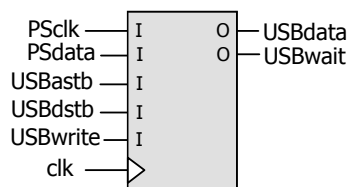
Naredi merilnik frekvence, ki šteje število impulzov v periodi 1  $\mu$ s. Referenčna ura ima frekvenco 48MHz. Merilnik naj vsebuje 2 BCD števeca in dekodirnik za prikaz na dveh 7-segmentnih prikazovalnikih s skupnim vodilom. S signalom *cat*, ki naj menja stanje s frekvenco cca. 100Hz, izbiramo prikaz na prvem ali na drugem prikazovalniku. Z vhodnim signalom *start* resetiramo merilnik in aktiviramo števec periode. V času, ko je števec periode aktiven, štejemo impulze na signalnem vhodu.

### 2. RS232



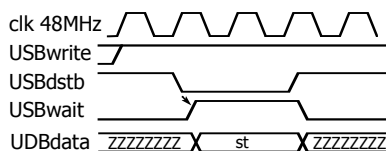
Naredi asinhroni sprejemnik serijskih signalov po protokolu RS232. Frekvenca serijskih signalov naj bo 38.4 kHz, frekvenca vhodne ure pa je 1 MHz. Sprejemnik po detekciji startnega bita začne s sprejemom osmih podatkovnih bitov. Prebrani podatek naj prikaže na dveh 7-segmentnih prikazovalnikih s skupnim vodilom.

### 3. Vmesnik

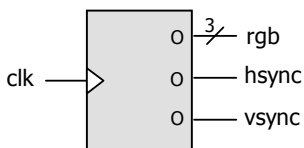


Naredi vmesnik za branje stanja PS/2 miške preko USB mikrokrmilnika, ki ima 8-bitno podatkovno vodilo (*USBdata*) in signale:

- *USBastb*, *USBdstb*: impulz na '0' ob branju oz. pisanju naslova ali podatka
- *USBwrite*: smer prenosa: '1' za branje in '0' za pisanje na USB
- *USBwait*: usklajevalni (angl. handshaking) signal
  - kadar je vmesnik pripravljen, naj bo na '0'
  - ob aktivnem *USBastb* ali *USBdstab* naj bo na '1'

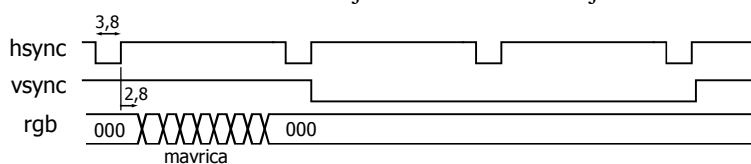


### 4. VGA



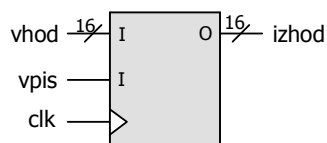
## FPGA XC3S200 TQ144 iz družine Xilinx Spartan 3

Naredi generator VGA signala za računalniški monitor pri ločljivosti 640x480 in frekvenci osveževanja 60Hz. Vhodna ura je 50MHz.



Sinhronizacijski impulzi za vrstico *hsync* imajo frekvenco 31.5kHz, (aktivno stanje je logična ničla, ki traja 3.8 $\mu$ s) za okvir *vsync* pa imajo frekvenco 60Hz (aktivno stanje je logična ničla, ki traja 2 periodi *hsync*). Vidni del slike se naj začne 2.8 $\mu$ s po aktivnem *hsync* impulzu ter 33 vrstic po *vsync*. V nevidnem delu slike mora biti izhod *rgb* postavljen na "000", v vidnem delu pa prikazuje neko statično sliko.

### 5. DSP



Naredi procesor za digitalno obdelavo signalov po algoritmu FIR sita. Procesor naj ima ROM pomnilnik za koeficiente in ciklični RAM za vhodne podatke. Koeficienti naj bodo zapisani kot binarne vrednosti s fiksno decimalno (npr. 0.13, 0.14, 0.15, 0.16, 0.15, 0.14 in 0.13). Procesor naj izvaja množenje koeficientov s 16-bitnimi vhodnimi podatki in seštevanje za izračun izhodnih vrednosti. Na vhod vezja pride nov podatek ob uri in aktivnem signalu *vpis*.

# Integrirana vezja (UNI 2007)

## Poročilo

Sestavni del projektne naloge je poročilo, ki naj vsebuje:

- naslov, avtorja in datum,
- besedilo naloge,
- kratek opis izvedbe naloge z razlago uporabljenih algoritmov (diagramov poteka) in prikazom simulacije,
- narisano poenostavljeno RTL zgradbo vezja (za primer glej CCD senzor), ki jasno prikazuje vhode in izhode, notranje signale in registre v vezju in
- kratek povzetek rezultatov sinteze vezja v izbrano CPLD ali FPGA vezje.

V poročilu ni potrebno podajati celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Za oceno **10** je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.