

Predlogi projektov – Integrirana vezja UNI

Projektne naloge rešujete samostojno ali v paru (npr. en dela oddajnik, drug pa sprejemnik). Vsak naj odda poročilo, ki opisuje njegov del naloge na 2-3 straneh in vsebuje:

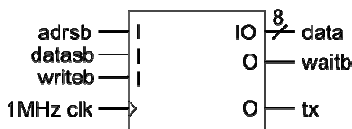
- Blokovno shemo vezja, kjer naj bo prikazan vsak sekvenčni proces in vsak kombinacijski del s svojim blokom. Na shemi naj bodo jasno označeni vsi pomembnejši signali v vezju in pri vektorskih signalih tudi njihove velikosti.
- Kratko razlago uporabljenih blokov.
- Primer (izsek) simulacije s kratko razlago.
- Kratak povzetek rezultatov sinteze, ki ga prevedite v slovenščino in v katerem se vidi število in vrsta uporabljenih elementov (makrojev, kot so registri, seštevalniki, komparatorji ipd.).

K poročilu **ne prilagajate** celotne VHDL kode, lahko pa vsebuje kakšen zanimiv izsek ali proces z razlago. Diagram poteka **ni** blokovna shema in ni potreben, prav tako ni potrebno razlagati podrobne RTL sheme, ki jo generira programska oprema. **Za odlično** oceno je potrebno narediti tudi testno strukturo, s katero preverite delovanje vezja pri različnih situacijah na vhodu vezja.

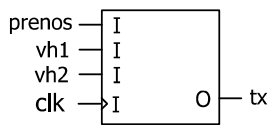
1. RS232 oddajnik in sprejemnik

CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2

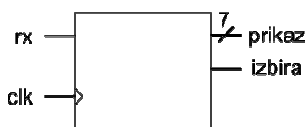
Naredi oddajnik asinhronih serijskih signalov po protokolu RS232, ki oddaja s frekvenco 38,4kHz ob vhodni uri 1MHz.



Oddajni avtomat začne delovati, ko iz paralelnega vmesnika EPP prebere nov podatek. Oddaja se začne z logično '0', ki mu sledi 8 bitov od najnižjega naprej, nato en stop bit (logična '1'), potem pa naj gre oddajni avtomat nazaj v mirovno stanje.



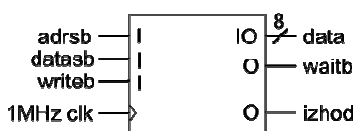
Namesto paralelnega vmesnika lahko uporabite kot podatkovni vhod tipko in rotacijski kodirnik. Ob vrtenju rotacijskega kodirnika se nastavi vrednost, ki jo vezje ob pritisku na tipko pošlje po RS232 povezavi. Ob enkratnem pritisku tipke naj se izvrši samo en prenos podatka!



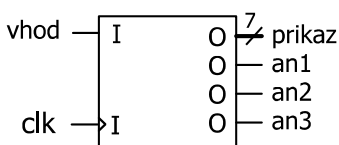
Sprejemnik vsebuje avtomat, ki začne ob detekciji startnega bita šteti periodo 1/38,4kHz in ob izteku števca prebere najnižji bit (0), ob naslednjem izteku naslednjem izteku prvi bit itn. do zadnjega bita (7). Ko prebere še stop bit (logična 1) prikaže vrednost v šestnajstiški obliki na dveh 7-segmentnih prikazovalnikih s skupnim vodilom.

2. Generator in merilnik frekvence

CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2



Naredi generator pravokotnega signala, ki mu nastavljamo frekvenco s paralelnim vmesnikom EPP. Podatek, ki ga pošljemo preko EPP naj predstavlja frekvenco v območju 0 do 255kHz. Vhodna ura generatorja naj bo 1MHz. Razmisli, kako narediti generator, da se bo razmerje signal / pavza na izhodu čim bolj približalo 50%.

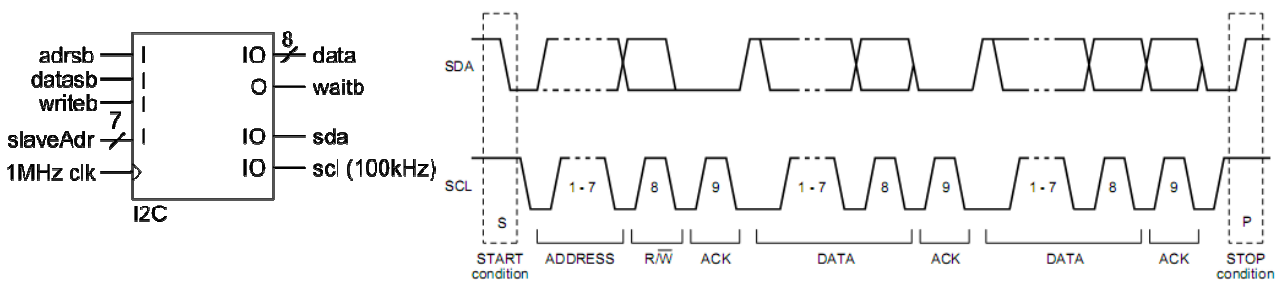


Naredi merilnik frekvence med 0 in 299 kHz, ki šteje število impulzov na vhodu v periodi 1 ms in jih prikazuje treh dveh LED prikazovalnikih s skupnim vodilom. Naredi števec periode, ki z referenčno uro 100kHz določa periodo meritve 1 ms in avtomat, ki bo sprožal periodično izvajanje meritev (npr. vsako sekundo). Merilnik periode naj vsebuje 3 BCD števice in dekodirnik za prikazovalnike. Skupne anode (an1-an3) krmilite v zaporedju 1 1 0, 1 0 1, 0 1 1. Razmisli in utemelji način resetiranja števec, da ne bo težav z metastabilnostjo!

3. I2C oddajnik in sprejemna enota

CPLD XC2C256 TQ144 iz družine Xilinx Coolrunner 2

Naredi enostaven I2C master oddajnik, ki prenese naslov registra in podatek iz paralelnega vmesnika EPP. Oddajnik naj odda 2 DATA byta (naslov registra in podatek), ki ju dobi iz EPP vmesnika na naslov podrejene enote (ADDRESS). Frekvenca vhodne ure je 1MHz, I2C pa naj deluje s 100kHz.



I2C oddajni protokol se začne s pošiljanjem 7-bitnega naslova podrejene enote ADDRESS, ki mu sledi R/W bit (0) in odgovor ACK podrejene enote. Nato pošlje prvi byte (naslov iz EPP) in drugi byte (podatek iz EPP). Oddajnik naj najprej prebere naslov in podatek iz vmesnika EPP, nato pa začne serijski cikel oddaje. Naslov podrejene enote naj prebere na dodatnem vhodu.

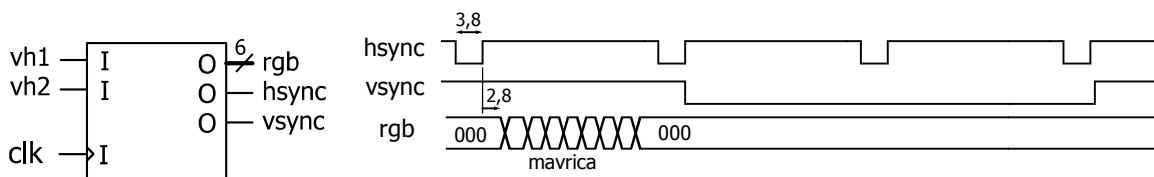
Naredi I2C slave sprejemnik, ki prebere prej opisani podatkovni paket in v primeru, da se naslov ujema z njegovim naslovom postavlja ACK bite (logično '0' na SDA). Sprejet podatek naj dekodira in prikaže na dveh 7-segmentnih prikazovalnikih s skupnim vodilom.

4. VGA generator slike

FPGA XC3S200 TQ144 iz družine Xilinx Spartan 3

Naredi generator VGA signala za računalniški monitor pri ločljivosti 640x480 in frekvenci osveževanja 60Hz. Vhodna ura je 25MHz. Izhod za barve rgb je 6 biten (po dva bita za vsako osnovno barvo). Sinhronizacijski impulzi za vrstico *hsync* imajo frekvenco 31.5kHz, (aktivno stanje je logična ničla, ki traja 3.8 μ s) za okvir *vsync* pa imajo frekvenco 60Hz (aktivno stanje je logična ničla, ki traja 2 periodi *hsync*). Razmerje obeh frekvenc je 525, vendar je od tega le okoli 480 vrstic dejansko vidnih na monitorju. Po aktivnem *vsync* naj bo 33 vrstic nevidnih (izhod rgb na 0) nato pa se začnejo prve vrstice slike.

Vidni del vrstice se začne 2.8 μ s po aktivnem *hsync* impulzu. Takrat naj bo na izhodu 3-bitnem izhodu rgb barvna kombinacija (npr. mavrične proge), sicer pa mora biti izhod na 0, kot prikazuje slika:



Dodaj logiko, ki glede na pozicijo žarka (števec za *hsync* in *vsync*) določa prikazani objekt, npr. nek pravokotnik. Objekt na monitorju naj se premika po zaslonu in odbija od robov. Premikanje objekta naredite avtomatsko (npr. 1-2 točki pri vsaki novi sliki) ali pa ob premikanju rotacijskega kodirnika.