

Kratka navodila za delo s programsko opremo Xilinx ISE 12

Razvojno okolje odpremo s klikom na ikono **ISE Project Navigator**. Prvi korak je priprava novega projekta (File > New Project). V oknu Project Settings nastavimo vrsto programirljivega vezja: najprej družino (Family), nato element (Device) in ohišje (Package). Določimo še orodja za sintezo in simulacijo vezja ter privzeti jezik.

Project Settings

Specify device and project properties.

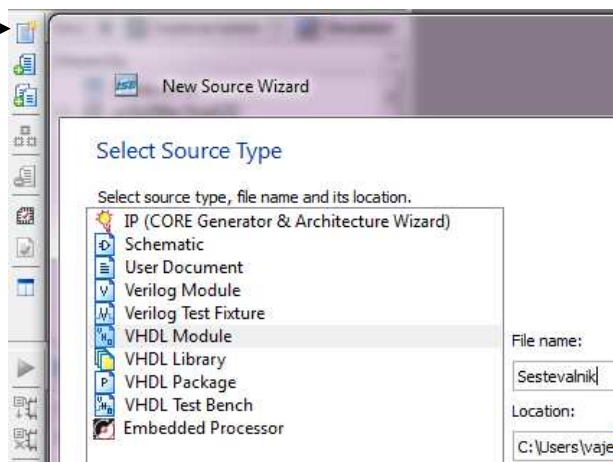
Select the device and design flow for the project

Property Name	Value
Product Category	All
Family	Spartan3E
Device	XC3S250E
Package	CP132
Speed	-5
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

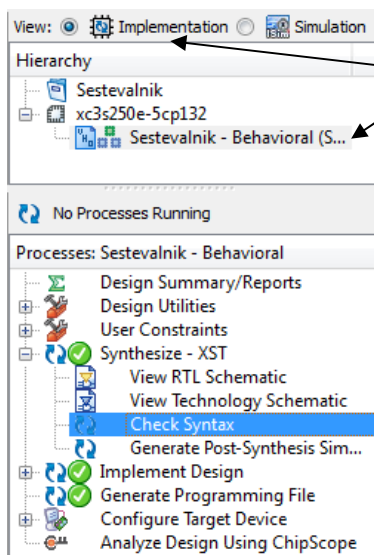
Naredimo novo datoteko z opisom vezja. Pomagamo si s čarovnikom New Source Wizard.

Najprej kliknemo ikono **New Source**,

določimo ime datoteke (File name) izberemo **VHDL module** in gumb **Next** (Naprej). Nato v tabeli določimo zunanje signale: v vsako vrstico zapišemo ime signala ter izberemo IN ali OUT. Če je signal večbitni vektor, naredimo kljukico pri Bus in določimo velikost vektorja – nastavljeni bomo le številko MSB, LSB pa naj bo vedno na 0. Ko so definirani vsi zunanji signali, zaključimo postopek (**Next**, ... in **Finish**).



V urejevalniku se odpre ogrodje VHDL opisa vezja z definiranimi priključki, ki ga dopolnimo z opisom vezja.



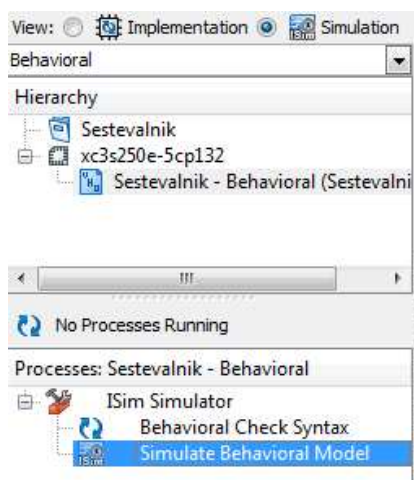
Ko je opis dokončan, naredimo sintezo vezja in simulacijo. Najprej poskrbimo, da je izbran implementacijski pogled (View: Implementation) in da je označena datoteka z opisom vezja, ki ga želimo prevajati.

Nato v zavihku Processes z dvojnimi klikmi na **Synthesize-XST** poženemo sintezo vezja. Če želimo najprej poiskati sintaktične napake, s klikom na + odpremo Synthesize in dvokliknemo na **Check Syntax**.

Med sintezo program izpisuje poročilo v konzolo, kjer lahko preberemo opis morebitnih napak in opozoril (warning). Za razumevanje kakšno vezje je nastalo ob sintezi je zelo uporaben del poročila, ki opisuje najdene makro gradnike (npr. ROM, seštevalniki, števcivi...)

Izvedba simulacije vezja brez testne strukture

Za simulacijo kompleksnih vezij potrebujemo testno strukturo, ki opisuje spreminjanje vhodnih signalov. Preproste gradnika pa lahko simuliramo kar s sprotim nastavljanjem vrednosti vhodov in izvajanjem simulacije po korakih.

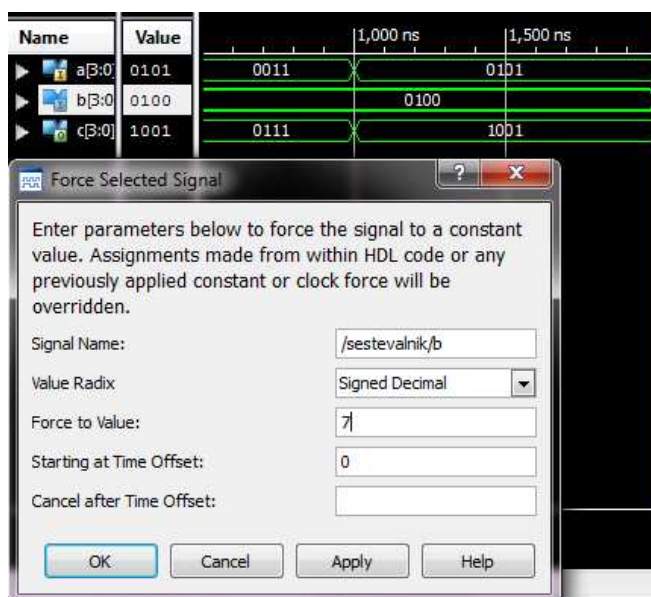


Najprej v okolju ISE spremenimo pogled (View: Simulation) in poskrbimo, da je označena datoteka z opisom vezja, ki ga želimo simulirati.

V procesnem oknu s klikom na + odpremo ISim Simulator in poženemo simulacijo z dvojnimi klikom na **Simulate Behavioral Model**.

Nastavitev vhodov

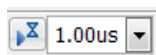
Pri simulaciji brez testne strukture moramo vsakokrat nastaviti vrednosti vhodnih signalov. Najprej izberemo signal po imenu, tako da je označen, in naredimo desni klik. Iz menija izberemo opcijo: **Force Constant...** ali če nastavljamo uro: Force Clock...



V polje **Force to Value** vnesemo vrednost. Obliko zapisa določa **Value Radix**: privzeto je binarna, lahko pa jo spremenimo, npr. na Decimal.

Ko kliknemo na OK se v konzoli izvede ustrezen ukaz, sprememba vrednosti signala pa bo vidna šele ko poženemo simulacijo.

Zagon simulacije



Simulator poženemo s klikom na ikono **Run for** in sicer za časovni korak, ki je določen v oknu za to ikono. Kadar izvajamo simulacijo po korakih, sledi temu ponovna nastavitve vhodov in naslednji korak.

Pri pregledu rezultatov simulacije uporabimo ikone za zumiranje in nastavimo obliko izpisa signalov. Če nam privzeta oblika prikaza vrednosti ne ustreza, izberemo signal, z desnim klikom iz menija opcijo **Radix** ter izberemo: Binary, Decimal...