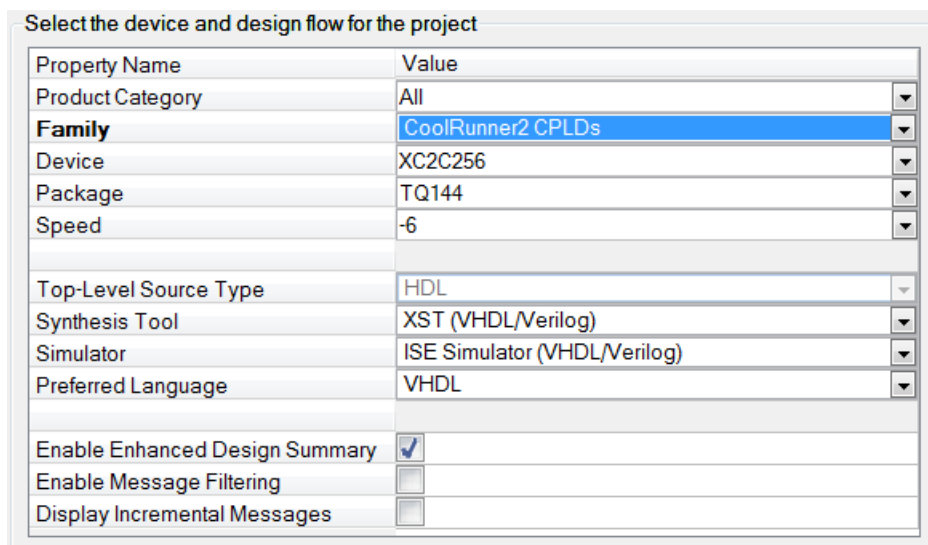


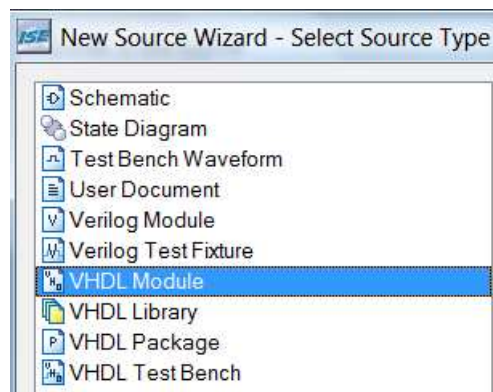
Kratka navodila za delo s programsko opremo Xilinx ISE 10.1

Prvi korak je priprava novega projekta (File > New Project). V oknu nastavimo vrsto programirljivega vezja, orodja za sintezo in simulacijo vezja ter privzeti jezik.

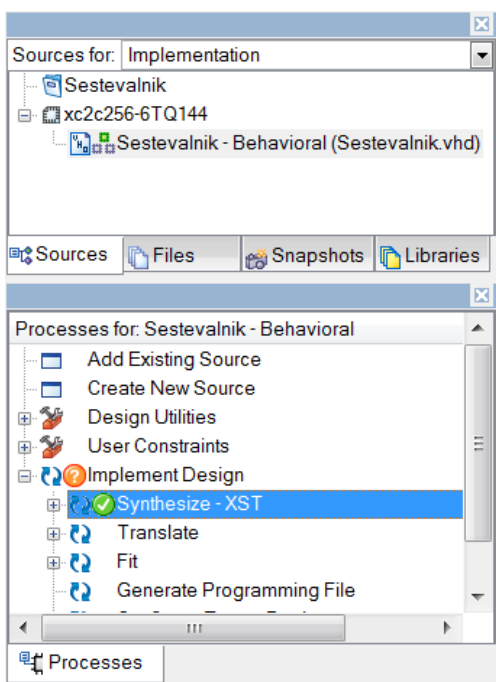


ISE ali Modelsim simulator
Modelsim-XE VHDL

Ob začetku pisanja kode VHDL si pomagamo s čarovnikom New Source Wizard. Najprej pritisnemo gumb **New Source**, določimo ime datoteke: Sestevalnik, izberemo VHDL module in gumb **Next** (Naprej). Nato v tabeli določimo zunanje signale: v vsako vrstico zapišemo ime signala ter izberemo IN ali OUT. Če je signal večbitni vektor, naredimo kljukico pri Bus in določimo velikost vektorja – nastavljeni bomo le številko MSB, LSB pa naj bo vedno na 0. Ko so definirani vsi zunanji signali, zaključimo postopek (**Next**, ... in **Finish**).



V urejevalniku se odpre opis priključkov vezja v jeziku VHDL, ki ga dopolnimo s stavki, ki opisujejo delovanje vezja. Ko je opis dokončan, naredimo sintezo vezja in simulacijo.



Najprej poskrbimo, da je v zavihku Sources izbrano: Implementation in da je označena datoteka z opisom vezja, ki ga želimo prevajati. Nato v zavihku Processes s klikom na + odpremo Implement Design in z dvojnimi klikom požene sintezo vezja. Med sintezo program izpisuje poročilo v konzolo, kjer lahko preberemo opis morebitnih napak in opozoril (warning). Za razumevanje kakšno vezje je nastalo ob sintezi je zelo uporaben del poročila, ki opisuje najdene makro gradnike (npr. ROM, seštevalniki, števcji...)

```

=====
Advanced HDL Synthesis Report

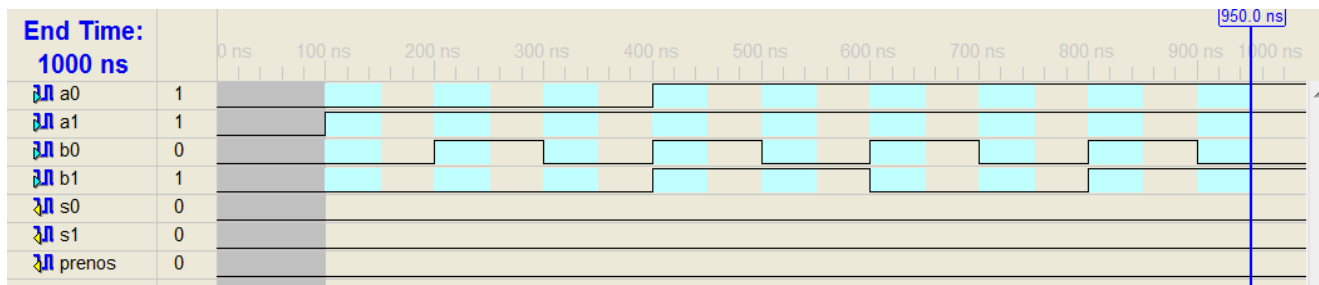
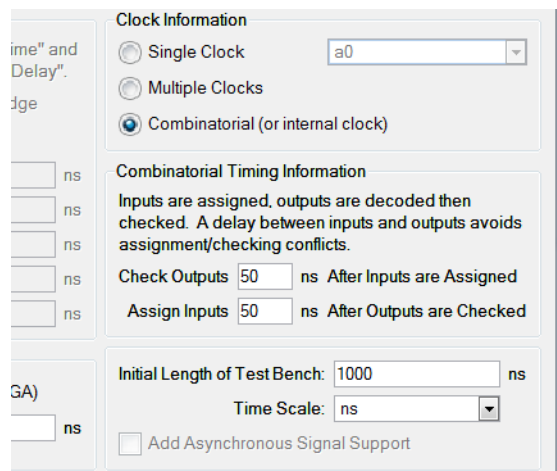
Macro Statistics
# ROMs                : 2
 16x2-bit ROM         : 2
# Adders/Subtractors  : 1
 3-bit adder          : 1
# Counters            : 5
 14-bit up counter    : 1
 4-bit up counter     : 4
# Registers           : 5
Flip-Flops           : 5
=====
    
```

Priprava simulacije kombinacijskih vezij

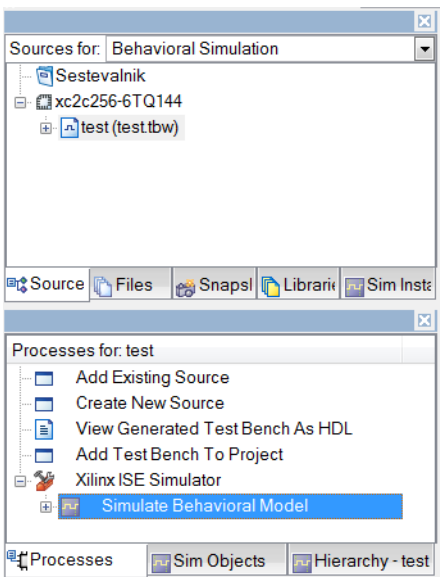
Za simulacijo vezja potrebujemo testno strukturo, ki v grafični obliki ali v obliki VHDL opisuje spreminjanje vhodnih signalov. Poglejmo si primer priprave grafične testne strukture.

V projekt dodamo novo datoteko (Project > New Source) in izberemo vrsto Test Bench Waveform ter ime (npr. test). Program nas nato vpraša za katero vezje delamo testno strukturo in ponudi možnost nastavitve ure in začetnih časovnih nastavitvev. Za kombinacijska vezja, kjer nimamo ure, določimo le časovno skalo, interval za grafično nastavljanje vhodov in začetno dolžino.

Nato s klikanjem na modra polja nastavimo časovno spreminjanje vhodnih signalov. Če ugotovimo, da je potrebno spremeniti časovno skalo ali interval, najdemo nastavitve v menuju Test Bench. Na koncu ne pozabimo shraniti narejene testne strukture.



Zagon simulatorja



Postopki za zagon simulatorja se odprejo, ko v zavihku Sources izberemo: Behavioral Simulation. Poskrbimo, da je označena datoteka s testno strukturo.

V oknu Processes izberemo zavihek Processes. Glede na nastavljeno vrsto simulatorja se pokaže ModelSim ali Xilinx ISE Simulator, kjer odpremo postopke s klikom na +. Sedaj lahko z dvojnim klikom na Simulate Behavioral Model poženemo simulacijo. Če smo dobro pripravili testno strukturo sedaj v simulacijskem oknu le še pregledamo rezultat simulacije.