

1. Vaja: sekvenčna vezja

Primer: D flip-flop

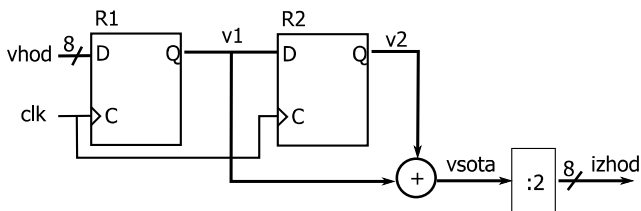
```
P: process(clk, reset)
begin
  if reset='1' then
    izhodi <= "00000...";
  elsif rising_edge(clk) then
    ... logika ...
  end if;
end process;
```

SINHRONI PROCES Z RESETOM

Opis sinhronih gradnikov začnemo s pogojem za reset, ki mu sledi pogoj za fronto ure. Vsi stavki, ki opisujejo delovanje gradnika, so zapisani znotraj tega pogoja za fronto ure.

Naloga: drseče povprečje

Naredite vezje za izračun povprečja zadnjih dveh vrednosti, ki prihajajo na vhod. V vezju uporabite dva registra, ki shranjujeta dve zaporedni vrednosti iz vhoda in seštevalnik za izračun vsote. Povprečno vrednost dobimo tako, da vsoto delimo z 2 (pomaknemo v desno oz. odstranimo zadnji bit).



Nasvet: vezje ima dva vhoda: uro in 8 bitni podatkovni vhod, ter en 8 bitni podatkovni izhod. Ostale signale (v1, v2 in vsota) definirajte kot notranje signale v arhitekturnem stavku. S signali d1 in d2 bomo izvajali operacijo seštevanja, zato jih deklarirajmo kot vektorje tipa unsigned:

```
architecture opis of povprecje is
  signal v1: unsigned(7 downto 0);
  signal ...
begin
```

Registra opišemo s procesom, kjer ob prireditvi signala naredimo še pretvorbo v podatkovni tip unsigned. Seštevanje in deljenje opišemo s prireditvenima stavkoma izven procesa. Pri seštevanju upoštevajmo, da lahko pride do prenosa, zato pred seštevanjem razširimo vhode na 9 bitov s funkcijo *resize*, npr. *resize(v1, 9)*. Pomik v desno naredimo s funkcijo ali pa preprosto z izbiro ustreznih bitov vsote (podvektor) za izhodni signal. Če je izhodni signal vrste *std_logic_vector*, bo potrebna še pretvorba podatkovnega tipa.

- Opiši vezje v jeziku VHDL, preveri sintakso in naredi sintezo vezja.
- Preizkusi delovanje na simulatorju s simulacijo po korakih. Nastavi vhodni signal (Force constant...) in uro (Force clock...) ter poženi simulacijo za en urin cikel. Spremeni vhod in ponovno poženi simulacijo, itn.
- Dodaj na izhod še en register in opazuj delovanje vezja. S katero fronto ure naj deluje izhodni register?