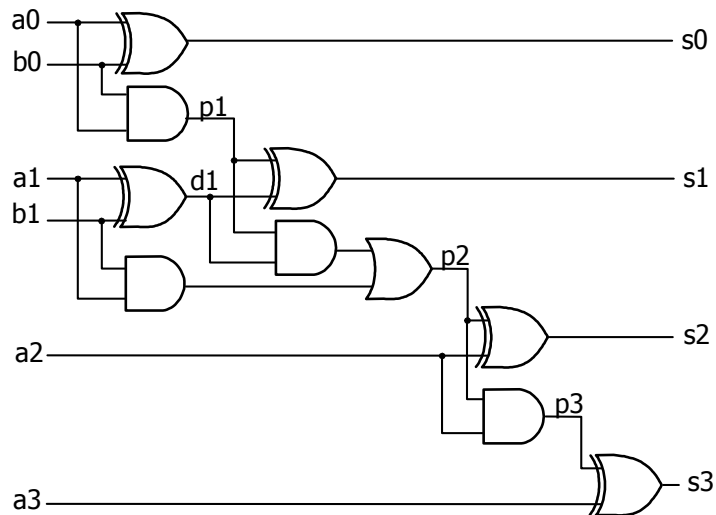


## 1. Vaja: vmesnik, arhitektura in signali

### 1. Seštevalnik z logičnimi vrati

Naredi v jeziku VHDL model seštevalnika, ki sešteje 4-bitno vhodno vrednost ( $a0-a3$ ) in 2-bitno vrednost ( $b0-b1$ ). Izhod seštevalnika naj bo 4-bitna vrednost ( $s0-s3$ ).

- a) Opiši seštevalnik z logičnimi funkcijami (**and**, **or**, **xor**). Zunanji vhodi in izhodi naj bodo deklarirani v stavku **port**, ostale signale pa deklariraj kot notranje signale.



- b) Preveri delovanje modela s simulacijo čez vse kombinacije na vseh vnosih (uporabi simulacijski makro). Kaj se zgodi pri spremembi vnosov iz  $a=0011, b=11$  v  $a=0100, b=00$  ?

### 2. Seštevalnik z operatorjem

Naredi nov model seštevalnika, pri katerem uporabi vektorske signale in operacijo seštevanja.

- Naredi simulacijo seštevalnika in preveri pravilnost delovanja. Ali se še vedno pojavljajo špice na izhodu?
- Vključi v opis vezja knjižnico **std\_logic\_signed** in ponovno naredi simulacijo. Kako deluje vezje v tem primeru?
- Naredi tehnološko preslikavo in simulacijo modela po tehnološki preslikavi.