

5. vaja: Uvod v visokonivojsko sintezo

5.1 Algoritem množenja kompleksnih števil

Naredimo vezje, ki sprejme dve kompleksni števili in izračuna njun produkt. Algoritem je opisan s funkcijo `op()`, v datoteki `op.cpp`. Model vezja vsebuje še zaglavno datoteko `op.h` in testno datoteko z glavno funkcijo, ki vsebuje kodo za preizkus algoritma (Test Bench).

```
#include "op.h"

void op(DAT_T a, DAT_T b, DAT_T c,
        DAT_T d, REZ_T &x, REZ_T &y)
{
    x = a * c - b * d;
    y = a * d + b * c;
}

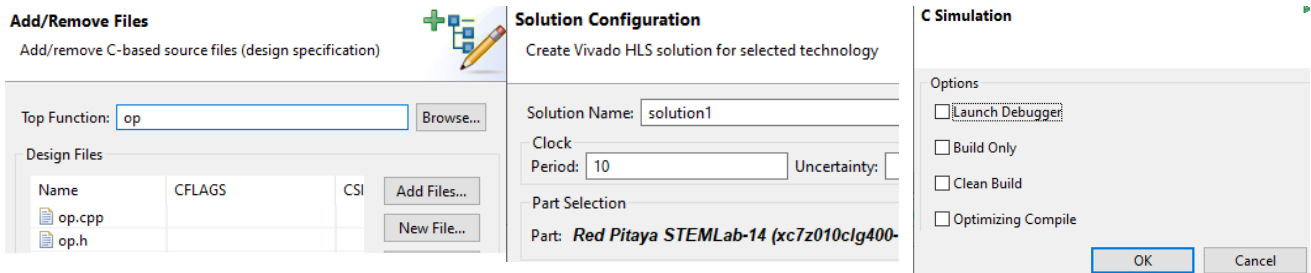
#ifndef OP_H
#define OP_H

#include <ap_int.h>
#define DAT_T ap_int<16>
#define REZ_T ap_int<32>

void op(DAT_T a, DAT_T b, DAT_T c,
        DAT_T d, REZ_T &x, REZ_T &y);

#endif
```

V knjižnici `ap_int.h` so definirani celoštevilski podatkovni tipi poljubne natančnosti. Vhode smo definirali kot 16 bitne celoštevilске vrednosti, izhode pa kot 32 bitne (zaradi množenja).



1. Na računalniku naredi projektno mapo z datotekami v jeziku C. Odpri orodje **Vivado HLS** in naredi nov projekt. Dodaj datoteko z opisom funkcije in zaglavno datoteko, vnesi ime funkcije (Top Function), v naslednjem oknu pa dodaj datoteko s testno strukturo. Nazadnje določi parametre sinteze (privzeto) in ciljno vezje oz. razvojno ploščo.
2. Dopolni opis funkcije, da bo izvajala operacijo množenja in preveri s simulacijo (**Run C Simulation**).
3. Izvedi sintezo vezja in preglej rezultate: zakasnitve, porabo FPGA in vmesnik vezja.

Target	Estimated	Uncertainty
10.00 ns	5.620 ns	2.70 ns

Performance & Resource Estimates

Modules Loops ?

Modules & Loops	Issue...	Violation...	Distance	Slack	Latency(cycles)	Latency(ns)	Iteration Latency	Interval	Trip Count	Pipelined	BRAM	DSP	FF	LUT	URAM
op				-	3	30.000	-	4	-	no	0	4	68	33	0

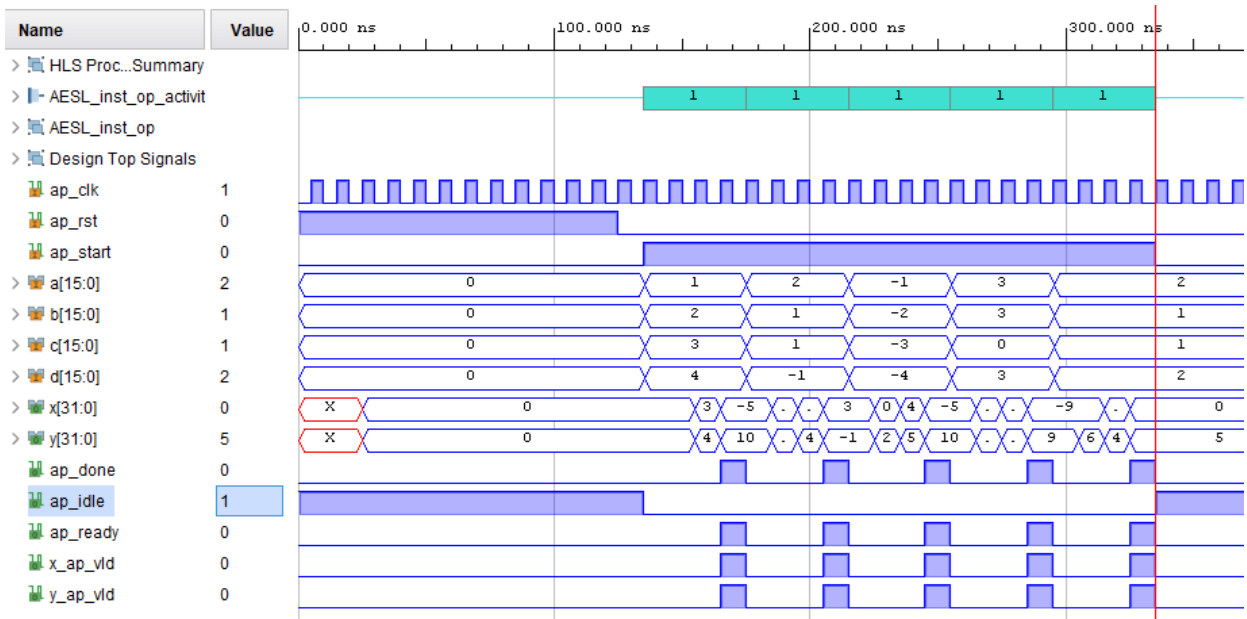
Performance Pragma

HW Interfaces

Other Ports

Port	Mode	Direction	Bitwidth
a	ap_none	in	16
b	ap_none	in	16
c	ap_none	in	16
d	ap_none	in	16
x	ap_vld	out	32
y	ap_vld	out	32

- Preglej sintetiziran RTL model (VHDL, Verilog). Preveri delovanje na povezani simulaciji (kosimulacija) v orodju Vivado HLS in s simulacijo v Vivadu ali drugem RTL simulatorju (naredi nov projekt).



- Spremeni podatkovni tip vhodnih in izhodnih signalov in preveri, kako vpliva na rezultat sinteze vezja. Namig: preizkusi različne velikosti celoštevilskih vektorjev, realna števila in števila s fiksno vejico, ki so definirana v knjižnici `ap_fixed.h` (npr. `ap_fixed<16,12>` je 16 bitno število z 12 biti celoštevilskega dela).

podatkovni tip	latenca / interval	DSP48E	FF	LUT

Kateri podatkovni tip je najbolj primeren za operacije z realnimi števili na vezju FPGA?

5.2 Deljenje kompleksnih števil in direktive

$$\frac{a + bi}{c + di} = \frac{ac + bd}{c^2 + d^2} + \frac{bc - ad}{c^2 + d^2} i$$

- Spremeni algoritem, da bo izračunal rezultat deljenja dveh kompleksnih števil in preglej rezultate sinteze. Za računanje uporabi števila v fiksni decimalki s 4 biti za celi del in 6 biti za decimalke.
- Preglej v poročilu sinteze urnik izvedbe operacij (**Schedule viewer**) in ugotovi katera operacija porabi največ ciklov ure.
- Dodaj direktivo, da bo sintetizirano vezje v cevovodni obliki. Kaj se zgodi s časovnimi parametri po sintezi in število katerih gradnikov vezja se bo bistveno povečalo?