

4. vaja: Komponenta AXI

Naučili se bomo izdelati komponento IP z vmesnikom AXI-Lite.

1. Naredi nov projekt za razvojno ploščo ZedBoard. V nastavitvah (Settings, Target language) se prepričaj, da je izbran ciljni jezik VHDL. Izberi *Tools > Create and Package New IP*, klikni *Next* in izberi opcijo *Create a new AXI4 peripheral*. Določi ime vezja, npr. `axi_krog` in lokacijo projektne mape (IP location), potrdi privzete nastavitve in na koncu izberi: *Edit IP*.
2. Razišči projektno mapo: v podmapi `axi_krog_1.0/hdl` sta dve datoteki z opisom vmesnika. V to mapo kopiraj še datoteko iz 1. vaje (`krog.vhd`) in jo dodaj v projekt (Add Sources, Add Files, nato odstrani kljukico na Copy sources).

3. Povezovanje komponent:

- v datoteki `axi_krog_v1.0.vhd` deklariraj komponento `krog.vhd` in dva priključka:

```
-- Users to add ports here
xy : in std_logic_vector(19 downto 0);
c : out std_logic;
```

- dodaj stavek **port map**:

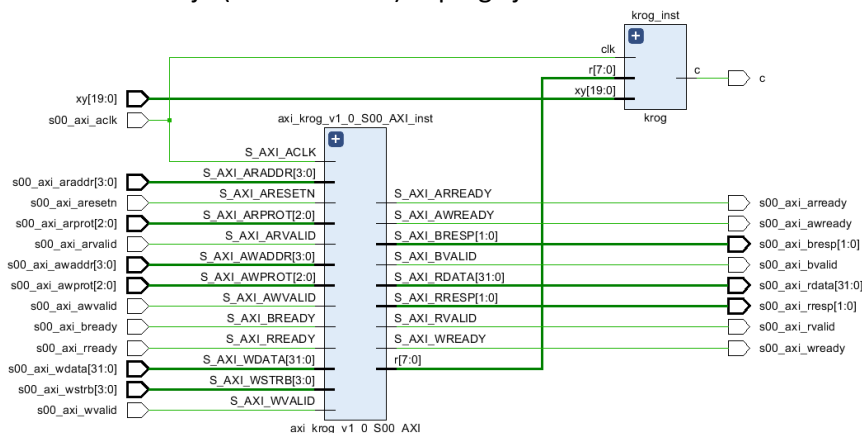
```
-- Add user logic here
krog_inst : krog port map (
    clk => s00_axi_aclk,
    xy => xy,
    r => r,
    c => c );
```

- deklariraj 8-bitni notranji signal `r`, v deklaraciji komponente `axi_krog_v1_0_S00_AXI` dodaj 8-bitni izhod `r` in ga poveži v stavku **port map**.

- odpre datoteko `axi_krog_v1_0_S00_AXI.vhd` in dodaj med priključke signal `r`. Ta signal poveži z izhodnim registrom `slv_reg0`:

```
-- Add user logic here
r <= slv_reg0(7 downto 0);
```

- Naredi elaboracijo (RTL ANALYSIS) in preglej shemo:



4. Dokončaj pakiranje komponente IP (v zavihku sources odpre IP-XACT, component.xml), potrdi spremembe priključkov in naredi Re-Package IP.