

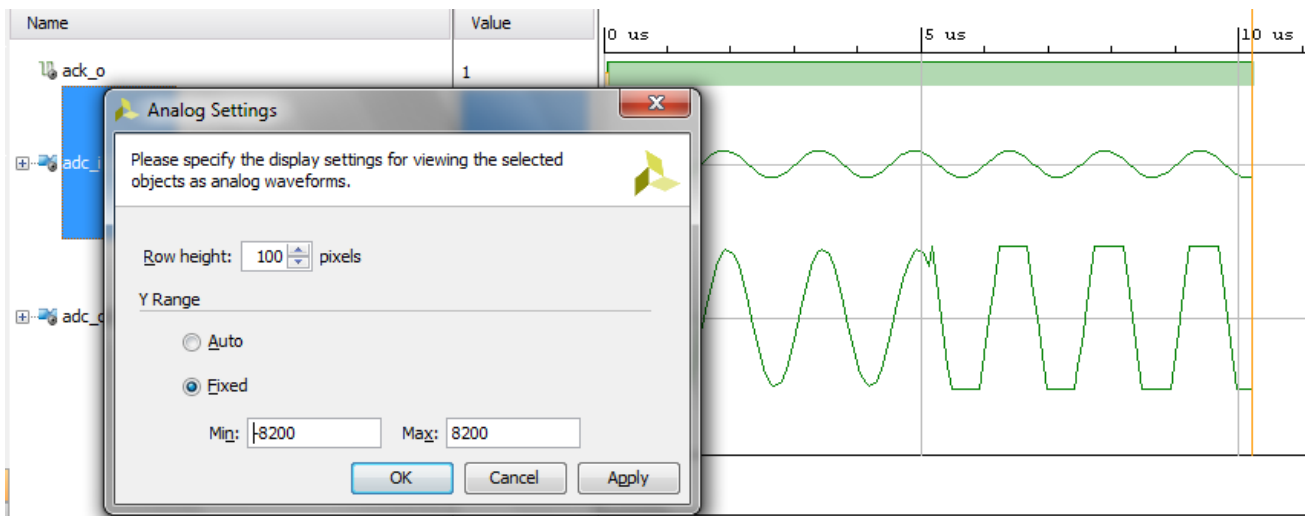
# 7. vaja: RedPitaya

## 7.1 Testna struktura za komponento

- Preizkusi delovanje komponente za skaliranje signala iz prejšnje vaje s testno strukturo: [TestProc.vhd](#).

Testna struktura zapiše v AXI register vrednost 5, čez nekaj časa pa vrednost 9, na vhod **adc\_i** pa pripelje vzorce sinusnega signala amplitude **1540**. Amplituda je izbrana tako, da ostanejo vrednosti po množenju s 5 znotraj območja (-8192, 8191), po množenju z 9 pa so nekatere izven območja in na simulaciji lahko opazujemo učinek množenja z nasičenjem.

- V simulatorju nastavimo signale **adc\_i** in **adc\_o** kot predznačene (desni klik **Radix, Signed Decimal**), nato pa kot analogne (**Waveform Style, Analog**):

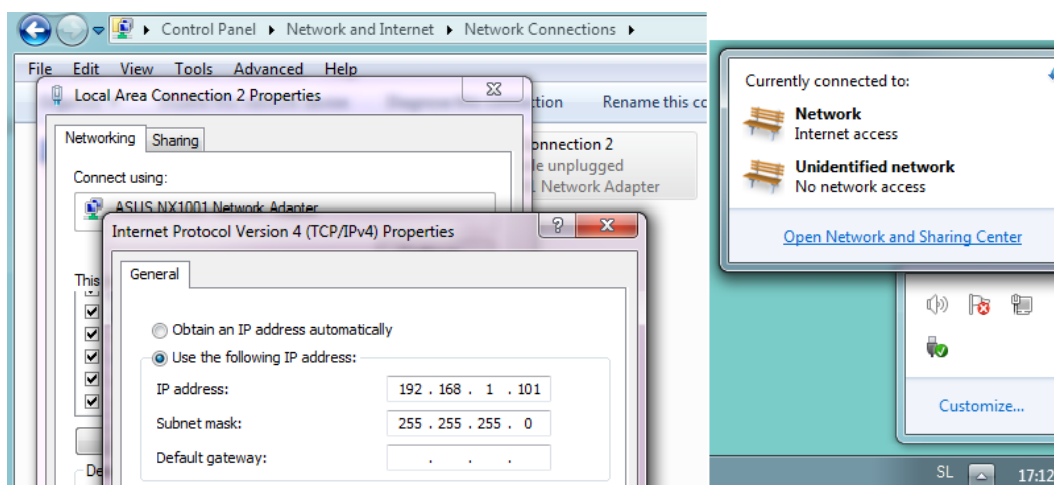


## 7.2 Izdelava in prevajanje projekta

- Naloži in odpakiraj datoteke projekta **RedPitaya** ([redpitaya2016.zip](#)), v katerem so mape:
  - out - mapa za izhodno datoteko po prevajanju in formatiranju
  - project - projektna mapa programa Vivado (znotraj je **redpitaya.xpr**)
  - rtl - izvorne datoteke v jeziku System Verilog in VHDL
  - sdc - nastavitve priključkov in omejitve pri prevajanju
  - tcl - skripte za izdelavo projekta in oblikovanje izhoda
- V TCL konzoli se premakni v trenutno mapo:, npr: `cd d:/divs/redpitaya`  
nato pa izvedi skripto, ki naredi blokovni diagram: `source tcl/system.tcl`  
in skripto za vključitev datotek: `source tcl/files.tcl`
- Zamenjaj vsebino datoteke **red\_pitaya\_proc.vhd** s svojo datoteko, nato pa izvedi prevajanje (sintezo, implementacijo in Generate Bitstream).  
Program med implementacijo javi nekaj kritičnih opozoril (false path constraint), ki jih lahko ignoriramo.
- Izhodno datoteko je potrebno še ustrezno formatirati s: `source tcl/format.tcl`

## 7.3 Red Pitaya

V laboratoriju LRNV bomo zaradi omejitev omrežja priklopili Red Pitayo kar neposredno na računalnikovo drugo omrežno kartico, ki jo nastavimo na lokalni naslov: **192.168.1.101**



Red Pitaya bo dostopna na naslovu **192.168.1.100**, ki ga vpišemo v spletni brskalnik.

- Datoteko za novo konfiguracijo FPGA: **rp.bin**, ki se nahaja v mapi **out** prenese na Red Pitayo v mapo **root**.
- Ob zagonu aplikacije Oscilloscope & Signal Generator je strežnik nastavljen tako, da bo v FPGA naložil datoteko **rp.bin**, ki izvaja skaliranje signala na prvem kanalu osciloscopa.
- Za nastavljanje registra, ki določa faktor skaliranja, najprej odpremo konzolo (npr. s programom **PuTTY**) in se prijavimo (ime: **root**, geslo: **root**). Register nastavljamo s programom monitor, ki mu podamo naslov in vrednost registra, npr:  
`monitor 0x40500000 0x05`

