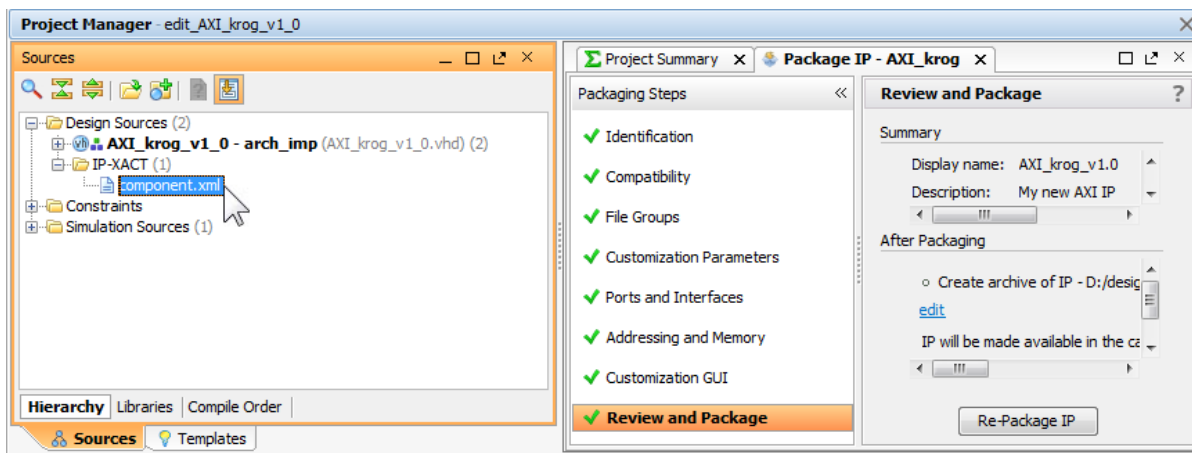


2. vaja: sistem z VGA izhodom

Naredili bomo digitalni sistem, ki vsebuje procesorski sistem Zynq PS, komponento za prikaz VGA slike in komponento za risanje kroga.

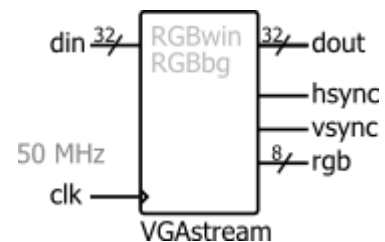
2.1 Priprava komponent IP

Odpri projekt za urejanje komponente AXI iz prejšnje vaje in dvoklikni na definicijo komponente v izvornih datotekah, ki odpre orodje za pakiranje komponente (**Package IP**). Posodobi spremembe priključkov, parametrov in grafične podobe GUI s klikom na **Merge Changes** v zgornji vrstici posamezne strani. Izberi **Review and Package** in z gumbom **Re-Package IP** potrdi shranjevanje opisa komponente na disk.



V sistemu bomo uporabili še eno lastno komponento [VGAstream](#), ki je dostopna na povezavi: [VGAstream 1.0.zip](#). Ta komponenta naredi sinhronizacijske signale za prikaz slike v ločljivosti 800 x 600 točk na računalniškem monitorju in tok slikovnih točk na katerega bomo priključili podatkovni vhod in izhod komponente [AXI_krog](#).

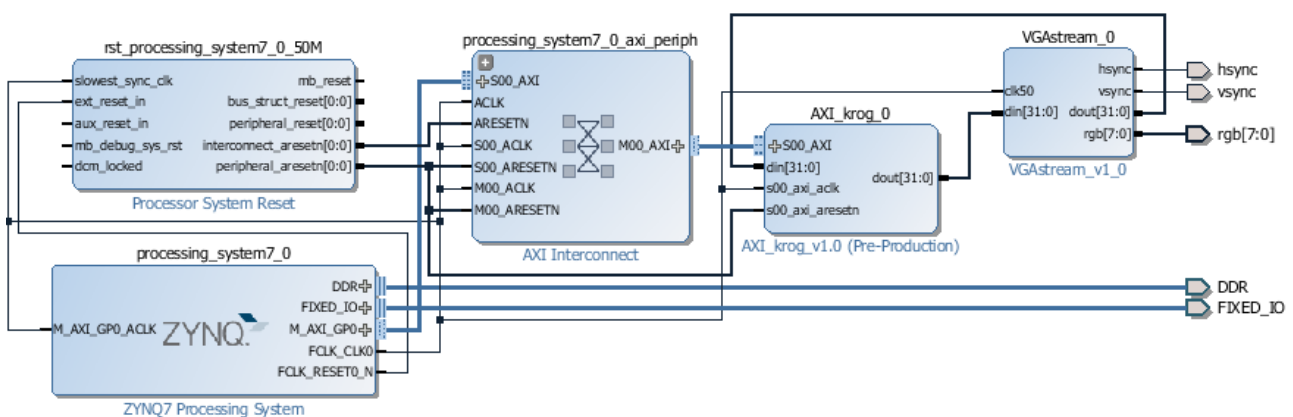
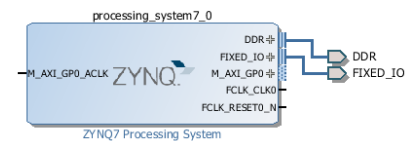
Komponenta [VGAstream](#) je sekvenčno vezje z vhodno uro `clk` frekvence 50 MHz. Vsebuje števec za generiranje sinhronizacijskih signalov za monitor v načinu VGA 800x600 pri frekvenci 72 Hz in 8-bitni izhod `rgb` za barve (3 rdeča, 3 zelena in 2 modra). Izhodna slika je sestavljena iz konstantnega ozadja ter kvadrata velikosti 256 x 256 točk. Barvi kvadrata in ozadja določata generična parametra `RGBwin` in `RGBbg`. Slikovne točke se najprej prenesejo na izhod `dout`, nato pa prek vhoda `din` in zatemnilne logike na izhod `rgb`. Če povežemo med `dout` in `din` vezje za obdelavo toka slikovnih točk, kot je npr. [AXI_krog](#), bo rezultat obdelave viden na monitorju.



2.2 Grafični opis sistema



- V orodju Vivado naredi nov projekt vrste: **RTL Project**, brez izvornih datotek, komponent IP ali uporabniških zahtev in določi razvojno ploščo ZedBoard.
- Naredi nov blokovni diagram vgrajenega sistema s klikom na: **Create Block Design**, ter mu določi ime, npr. sistem
- Odpri katalog z gradniki IP s klikom na napis **Add IP** ali ikono ter izberi **ZYNQ7 Processing System**. Gradnik iz kataloga najhitreje najdeš tako, da napišeš nekaj črk oznake v okence, npr. **Search: zyn**
- Orodje IP integrator ponuja pomoč pri povezovanju, ki se prikaže na vrhu okna z diagramom. Klikni na **Run Block Automation**, da bo program samodejno naredil zunanje povezave: DDR in Fixed_IO.
- Odpri nastavitve gradnika z dvojnimi klikom na simbol `processing_system_7_0`. Klikni na MIO Configuration, nato pa pri:
 - +Memory Interfaces odstrani kljukico ob Quad SPI Flash,
 - +IO Peripherals odstrani kljukice pri enotah USB 0 in SD 0, izbrana naj ostane le periferna enota UART1,
 - +Application Processor Unit odstrani kljukico pri Timer 0 i
- Klikni še Clock Configuration in nastavi **PL Fabric Clocks**, FCLK_CLK0 na 50.00000 MHz
 - na koncu potrdi vse spremembe z OK.
- V zavihku na levi strani blokovnega diagrama klikni na ikono **IP Settings**. Odpri zavihček **Repository Manager** in s klikom na **+** (**Add Repository**) izberi mapo z opisom lastnih komponent IP, ki se bodo uvrstile v katalog.
- Dodaj komponento **AXI_krog** na blokovno shemo (**Add IP**) in klikni **Run Connection Automation**. Program bo avtomatsko dodal dva IP bloka, ki omogočata povezavo med komponento z vmesnikom AXI in procesnim sistemom.
- Na blokovno shemo dodaj še komponento **VGAstream** in ročno poveži signale: `din`, `dout` in `uro` `clk50`. izhodne signale `hsync`, `vsync` in `rgb` določi kot izhodne priključke (desni klik, **Make External**).
- Preveri pravilnost diagrama z izbiro iz menija **Tools > Validate Design**, nato pa shrani blokovno shemo.



Prevajanje sistema

- Pred prevajanjem potrebujemo model celotnega sistema (top-level HDL). Klikni z desnim gumbom na *sistem.bd* in izberi **Create HDL Wrapper**.
- Dodaj datoteko z definicijami priključkov (**Add Sources**, Add or Create Constraints, [VGA sistem.xdc](#)).
- Prevajanje, sintezo in implementacijo vezja poženi z ukazom **Run Implementation**.
 - Prevajanje vključuje precej zahtevnih korakov: izdelavo izvornih datotek iz IP komponent, sintezo vezja in tehnološko preslikavo, zato traja kar nekaj minut.
- Ko se odpre okno **Implementation Completed**, izberemo opcijo **Generate Bitstream**, kliknemo OK in počakamo da pripravi datoteko za programiranje FPGA.
- Po končanem prevajanju izberi opcijo Open Implemented Design.
 - Ko odpremo implementirano vezje se pokaže slika vezja Zynq, na kateri so označeni uporabljeni gradniki. V spodnjem oknu je kratek povzetek časovne analize, kjer vidimo ali bo vezje delovalo pri specificirani frekvenci ure (če nismo spreminjali frekvence, ima ura FCLK_CLK0 100 MHz).
 - Podrobnejše podatke o zasedenosti vezja dobimo v zavihku Reports. Iz poročila postopa razmeščanja elementov (Place Design) bomo videli, da vezje zasede cca. 2% FPGA rezin (Slice), vsebuje čez 600 registrov (flip-flopov). Iz poročila o povezovanju (Route Design) pa razberemo, da ima naše vezje skoraj 3000 logičnih povezav.
- Zadnji korak je izvoz datoteke: **File > Export > Export Hardware**, naredimo kljukico na **Include bitstream** in OK.