Načrtovanje vezja v programu Vivado

Za načrtovanje digitalnih vezij bomo uporabljali razvojno orodje Xilinx Vivado 2015.2 WebPACK, ki je brezplačno dostopno na http://www.xilinx.com/support/download.html

Najprej naredimo nov projekt Create New Project, določimo ime (npr. vaja1) in lokacijo, ki naj bo na D:\des\moja mapa. V naslednjem oknu izberemo RTL Project, nato pa v naslednjem oknu kliknemo na + in izberemo Create File ter določimo ime datoteke in vrsto: VHDL. V zadnjem oknu izberemo FPGA vezje ali ploščo. Izbrali bomo razvojno ploščo ZedBoard.

x

А

Cancel



Pred zaključkom se pojavi še okno v katerem določimo vhodne in izhodne signale nove VHDL datoteke.

Program je na podlagi vnešenih podatkov naredil datoteko z ogrodjem opisa vezja v jeziku VDHL. Datoteko dopolnimo s stavki, ki opisujejo delovanje vezja. Ko shranimo spremembe (ctrl+s) se avtomatsko preverijo osnovna sintaktična pravila in v primeru napake dobimo sporočila v zavihku Messages. Program ob shranjevanju naredi elaboracijo opisa vezja in če ni napak lahko RTL strukturo vezja pogledamo z izbiro iz menija Flow, Open Elaborated Design:



Sintezo vezja izvedemo klikom na ikono Run Synthesis v levem oknu:

Po sintezi izberemo v oknu View Reports in si ogledamo poročila: Vivado Synthesis Report in Utilization Report. V prvem poročilu vidimo število in vrsto RTL gradnikov in število celic v vezju, v drugem poročilu pa zasedenost FPGA matrike (npr. število uporabljenih vpoglednih tabel LUT).

Simulacijo poženemo z ikono Run Simulation in izbiro Run Behavioral Simulation. V simulatorju nastavimo vrednosti vhodnim signalom (Force Constant ali Clock) in opazujemo izhode.

1. vaja: Kvadrirnik

Naredili bomo vezje za izračun kvadratov z vmesnikom AXI.

1.1 Kombinacijsko vezje

Najprej naredimo kombinacijsko vezje, ki izračuna kvadrat vhodnih vrednosti. Vezje naj ima dva 8-bitna vhodna vektorja (a, b) tipa std_logic_vector in dva 32-bitna izhoda (dataout1, dataout2). Vrednosti bomo obravnavali kot nepredznačena števila in za izvedbo računskih operacij v vezje vključimo knjižnico **IEEE.numeric.std**.

Opiši vezje za izračun kvadratov vhodnih vrednosti: $a^2 = a^2$, $b^2 = b^2$ in 32-bitnega produkta obeh kvadratov ($a^2 \cdot b^2$). Prvi podatkovni izhod naj bo sestavljen iz obeh kvadratov, drugi pa naj vsebuje produkt. Deklariraj ustrezne notranje signale podatkovnega tipa **unsigned** in ob izračunu opravi pretvorbo podatkovnih tipov:

a2 <= unsigned(a) * unsigned(a);</pre>

1.2 Komponenta AXI

Dodaj v projekt paralelni vmesnik za vodilo AXI in ga vključi v prejšnje vezje kot komponento. Vse signale vodila AXI deklariraj kot zunanje signale in poveži vhode in izhode na notranje registre.



1.2 Simulacija komponenta

Uporabi testno strukturo za simulacijo delovanja komponente. Testna struktura naj generira signale vodila Axi Lite.