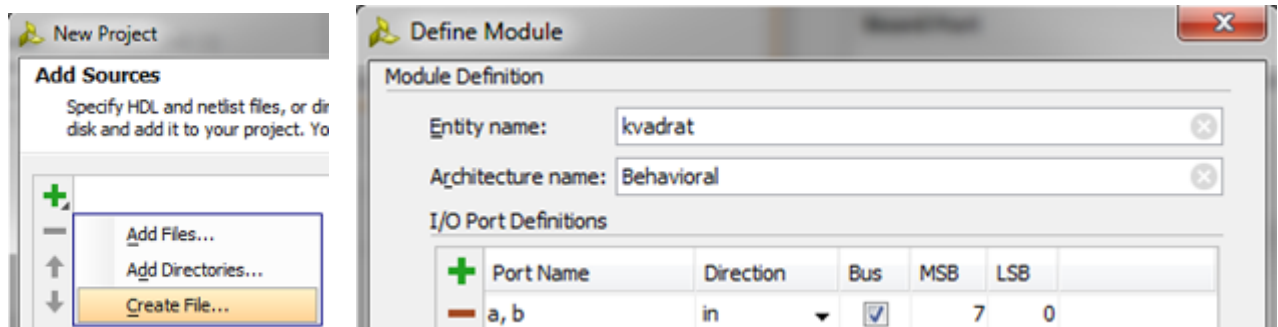


Načrtovanje vezja v programu Vivado

Osnovni koraki načrtovanja vezja v orodju Vivado.

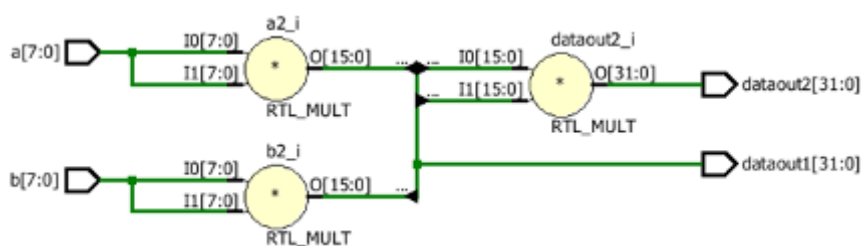
Za načrtovanje digitalnih vezij bomo uporabljali razvojno orodje Xilinx Vivado 2015.2 WebPACK, ki je brezplačno dostopno na <http://www.xilinx.com/support/download.html>

Najprej naredimo nov projekt **Create New Project**, določimo ime (npr. vaja1) in lokacijo, ki naj bo na D:\div\moja mapa. V naslednjem oknu izberemo **RTL Project**, nato pa v naslednjem oknu kliknemo na + in izberemo **Create File** ter določimo ime datoteke in vrsto: VHDL. V zadnjem oknu izberemo FPGA vezje ali ploščo. Izbrali bomo razvojno ploščo *ZedBoard*.



Pred zaključkom se pojavi še okno v katerem določimo vhodne in izhodne signale nove VHDL datoteke.

Program je na podlagi vnešenih podatkov naredil datoteko z ogrodjem opisa vezja v jeziku VHDL. Datoteko dopolnimo s stavki, ki opisujejo delovanje vezja. Ko shranimo spremembe (ctrl+s) se avtomatsko preverijo osnovna sintaktična pravila in v primeru napake dobimo sporočila v zavihku **Messages**. Program ob shranjevanju naredi elaboracijo opisa vezja in če ni napak lahko RTL strukturo vezja pogledamo z izbiro iz menija **Flow, Open Elaborated Design**:



Sintezo vezja izvedemo klikom na ikono Run Synthesis v levem oknu. Po sintezi izberemo v oknu **View Reports** in si ogledamo poročila: **Vivado Synthesis Report** in **Utilization Report**. V prvem poročilu vidimo število in vrsto RTL gradnikov in število celic v vezju, v drugem poročilu pa zasedenost FPGA matrice (npr. število uporabljenih vpoglednih tabel LUT).

Simulacijo poženemo z ikono **Run Simulation** in izbiro **Run Behavioral Simulation**. V simulatorju nastavimo vrednosti vhodnim signalom (**Force Constant** ali **Clock**) in opazujemo izhode.