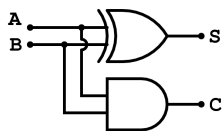


1. vaja: Kombinacijska vezja

Naredi v jeziku VHDL nekaj tipičnih kombinacijskih vezij in ugotovi, koliko celic zasedejo v programirljivem vezju CPLD iz družine Xilinx Coolrunner-II. Zasedenost ugotovite tako, da naredite implementacijo vezja in iz tabele odčitate število uporabljenih makrocelic in členov (pterm) in zasedenih priključkov (pin).

RESOURCES SUMMARY

Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
11/256 (5%)	20/896 (3%)	0/256 (0%)	20/118 (17%)	13/640 (3%)



Opiši z logičnimi operacijami polovični seštevalnik. Polovični seštevalnik ima vhoda a in b ter izhod za vsoto (s) in prenos (c). Naredi implementacijo vezja in zapiši zasedenost vezja v tabelo.

Z uporabo operatorjev opiši večbitne seštevalnike, prištevalnike in primerjalnike ter ugotovi kakšna je zasedenost vezja CPLD. Rezultate zapiši v tabelo.

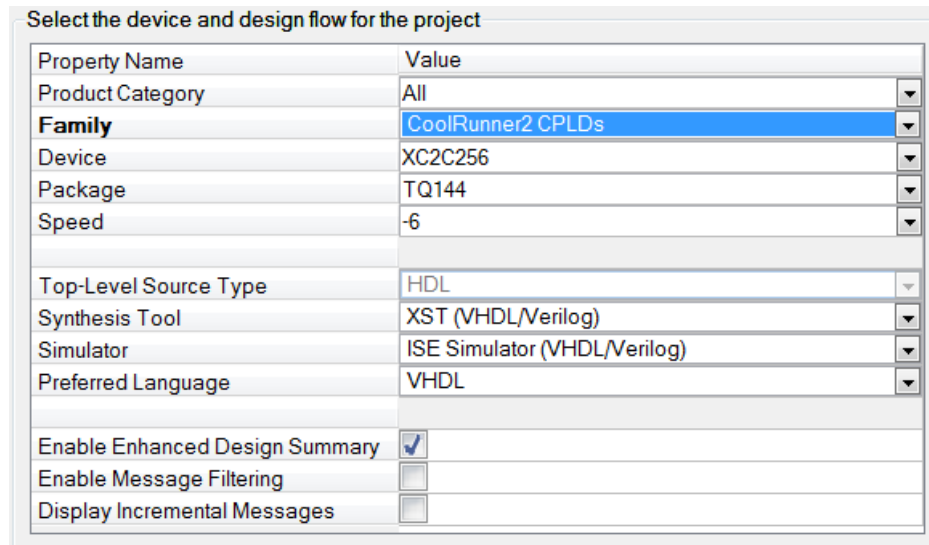
vezje	bitov	makrocelic	členov	priključkov
polovični seštevalnik	1			
prištevalnik ($c \leq a + 1$)	10			
	20			
seštevalnik ($c \leq a + b$)	10			
	20			
primerjalnik ($a = b$)	10			
	20			
primerjalnik ($a > b$)	10			
	20			
primerjalnik ($a > 0$)	10			
	20			

Ali se zasedenost opisanih vezij kaj spremeni, če uporabite knjižnico STD_LOGIC_SIGNED ? _____

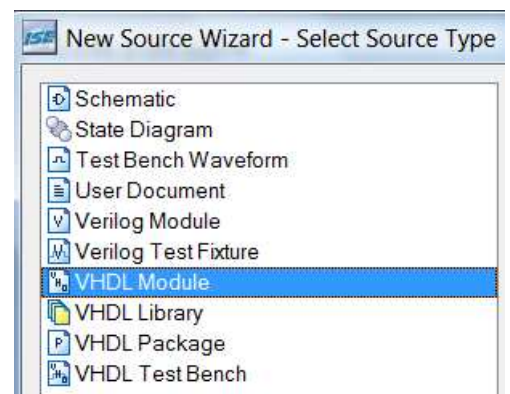
Kdaj je vezje, ki računa s predznačenimi števili drugačno od vezja z nepredznačenimi ? _____

Kratka navodila za delo s programsko opremo Xilinx ISE 10.1

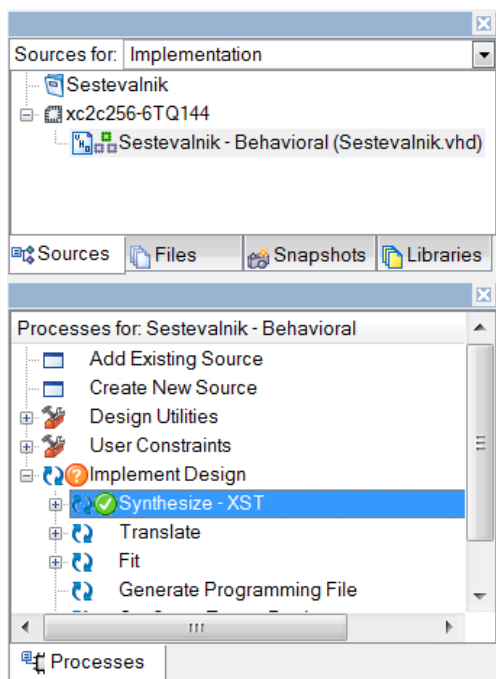
Prvi korak je priprava novega projekta (File > New Project). V oknu nastavimo vrsto programirljivega vezja, orodja za sintezo in simulacijo vezja ter privzeti jezik.



Ob začetku pisanja kode VHDL si pomagamo s čarovnikom New Source Wizard. Najprej pritisnemo gumb **New Source**, določimo ime datoteke: Sestevalnik, izberemo VHDL module in gumb **Next** (Naprej). Nato v tabeli določimo zunanje signale: v vsako vrstico zapišemo ime signala ter izberemo IN ali OUT. Če je signal večbitni vektor, naredimo kljukico pri Bus in določimo velikost vektorja – nastavljeni bomo le številko MSB, LSB pa naj bo vedno na 0. Ko so definirani vsi zunanji signali, zaključimo postopek (**Next**, ... in **Finish**).



V urejevalniku se odpre opis priključkov vezja v jeziku VHDL, ki ga dopolnimo s stavki, ki opisujejo delovanje vezja. Ko je opis dokončan, naredimo sintezo vezja in simulacijo.



Najprej poskrbimo, da je v zavihku Sources izbrano: Implementation in da je označena datoteka z opisom vezja, ki ga želimo prevajati. Nato v zavihku Processes s klikom na + odpremo Implement Design in z dvojnimi klikom poženemo sintezo vezja. Med sintezo program izpisuje poročilo v konzolo, kjer lahko preberemo opis morebitnih napak in opozoril (warning). Za razumevanje kakšno vezje je nastalo ob sintezi je zelo uporaben del poročila, ki opisuje najdene makro gradnike (npr. ROM, seštevalniki, števc...

```

=====
Advanced HDL Synthesis Report
=====

Macro Statistics
# ROMs                      : 2
16x2-bit ROM                : 2
# Adders/Subtractors        : 1
3-bit adder                  : 1
# Counters                   : 5
14-bit up counter           : 1
4-bit up counter            : 4
# Registers                   : 5
Flip-Flops                   : 5
=====
    
```