

Digitalni elektronski sistemi

Gradivo za študijsko leto 2024/25

Andrej Trost



UNIVERZA
V LJUBLJANI

FE

Fakulteta
za elektrotehniko

Elektronika

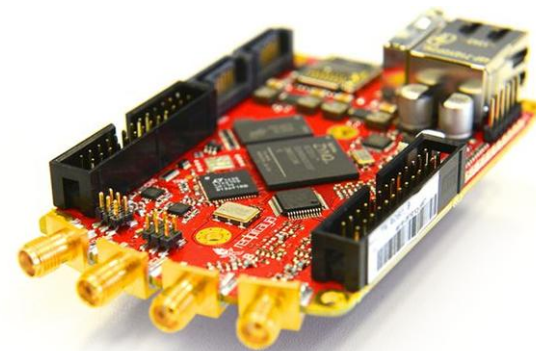
Katedra za elektroniko

Laboratorij za načrtovanje integriranih vezij

- načrtovanje elektronskih vezij in vgrajenih naprav
- digitalna vezja SHDL in jeziki VHDL/Verilog/C++
- razvojne plošče FPGA AMD-Xilinx, Intel-Altera in sistemi na čipu Red Pitaya

Google

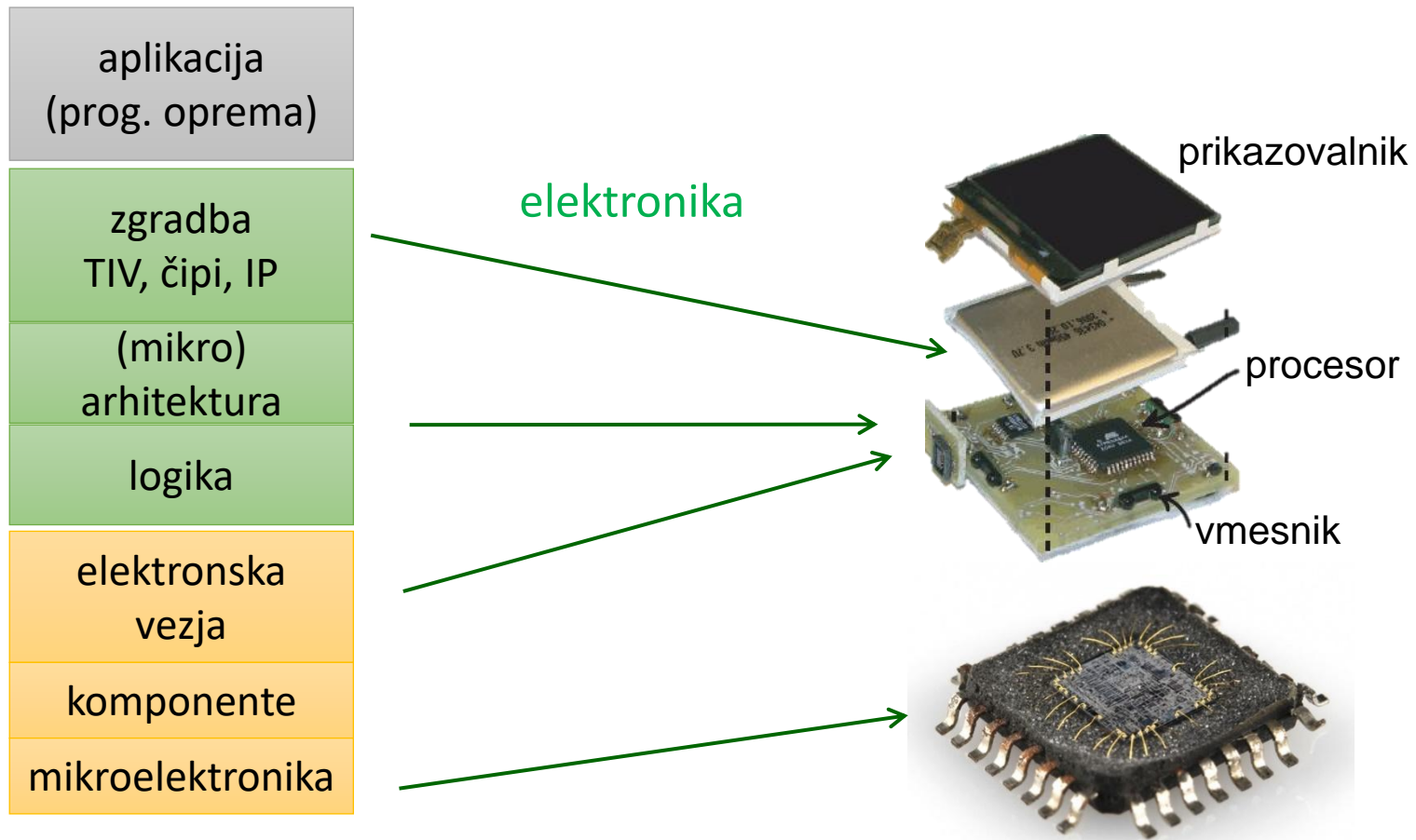
Q LNIV



Kaj obsega elektronika?

- vezja in komponente
 - analogna, linearna vezja
 - digitalna vezja
 - konstruiranje vezij
- digitalna elektronika
 - digitalni sistemi
 - mikrokrmilniki in procesorji
- komunikacijski sistemi
 - obdelava signalov, modulacija
- krmilni sistemi
 - regulacije, vgrajeni sistemi
- močnostna elektronika
 - pretvorniki in krmilniki
- mikroelektronika
 - integrirana vezja
- RF vezja, elektromagnetika
- fotonika, optoelektronika
- nanoelektronika...

Digitalni elektronski sistemi



DES 2024/25 info

Predavanja:

- doc. dr. Andrej Trost, BN405, 4. nadstropje
- govorilne: torek in četrtek 10h

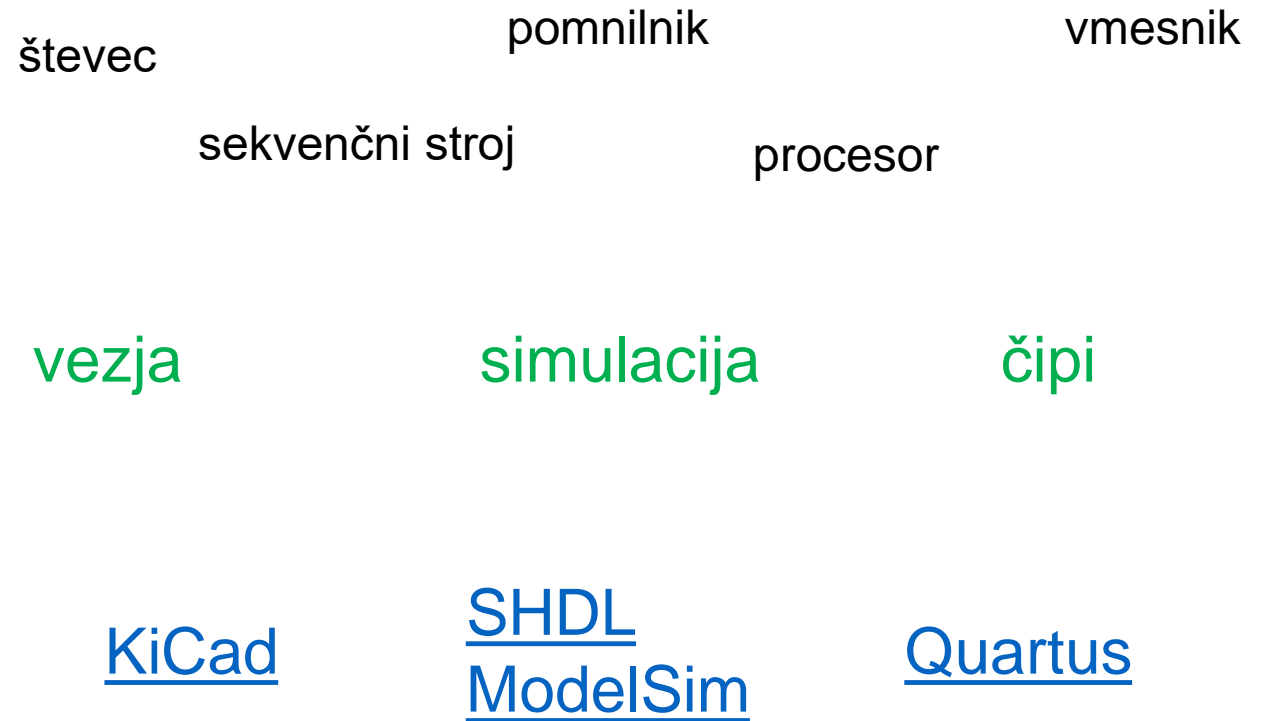
Vaje: Urban Burnik

Spletna stran: (poleg e.fe)

<https://lniv.fe.uni-lj.si/courses/des.html>

Vsebina

1. Uvod
2. Osnove HDL
3. Simulacija
4. RTL
5. Tiskana vezja
6. FPGA
7. CPU, RISC V



Cilji

Študent bo znal	Potek dela	Ocenjevanje
razumeti in analizirati model digitalnega vezja	predavanja, primeri, vaje	kolokvij / izpit
uporabiti ustrezne metode razvoja vezij	laboratorijske vaje	zagovor projekta
narediti in ovrednotiti digitalni sistem	laboratorijski projekt	opis projekta
razumeti in uporabiti procesor RISC V	predavanja, primeri	kolokvij / izpit

Organizacija predmeta

Predavanja

- razlaga, praktični primeri, diskusija
- gost iz industrije

10 lab. vaj + dodatni termin(i) za projekt

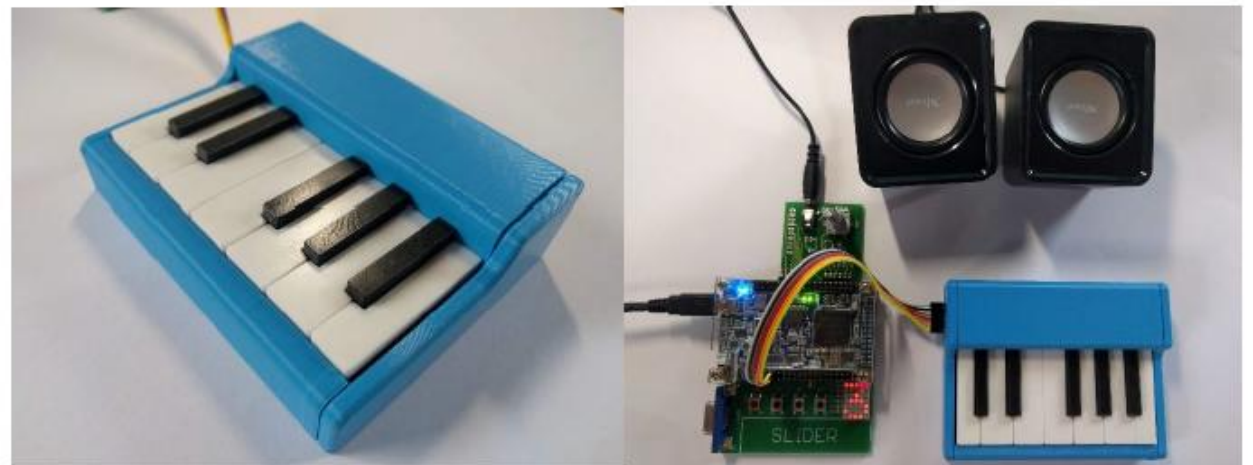
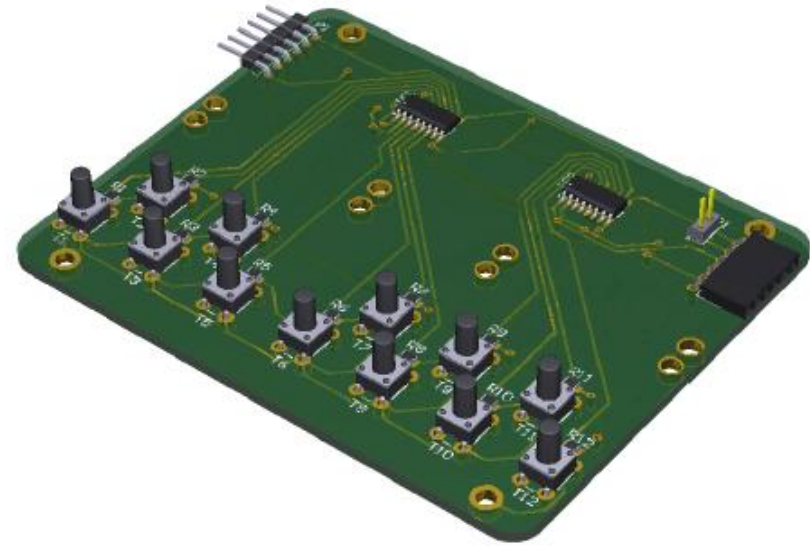
- začnemo tretji teden semestra
- načrtovanje vezij, FPGA plošče, TIV, projekt

Ocena

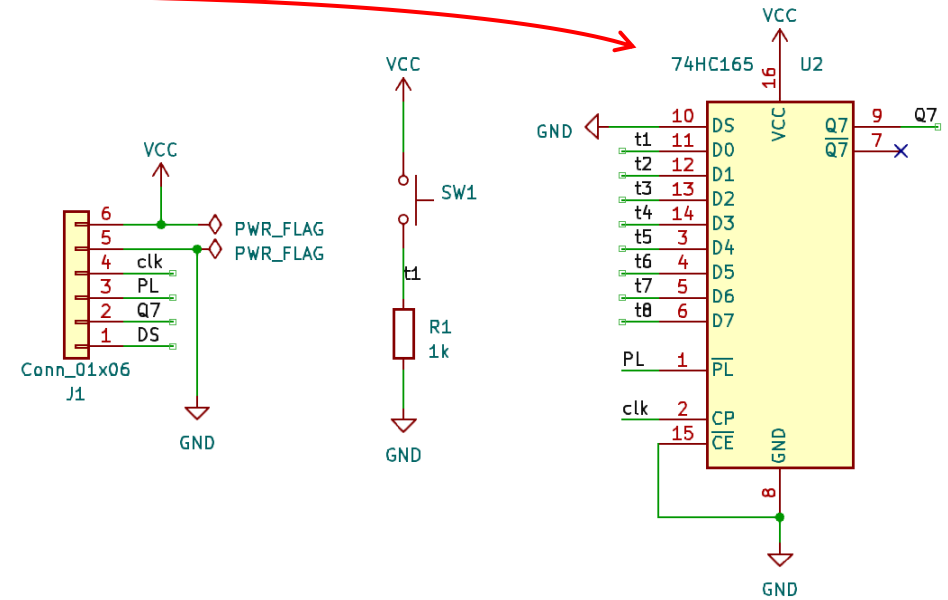
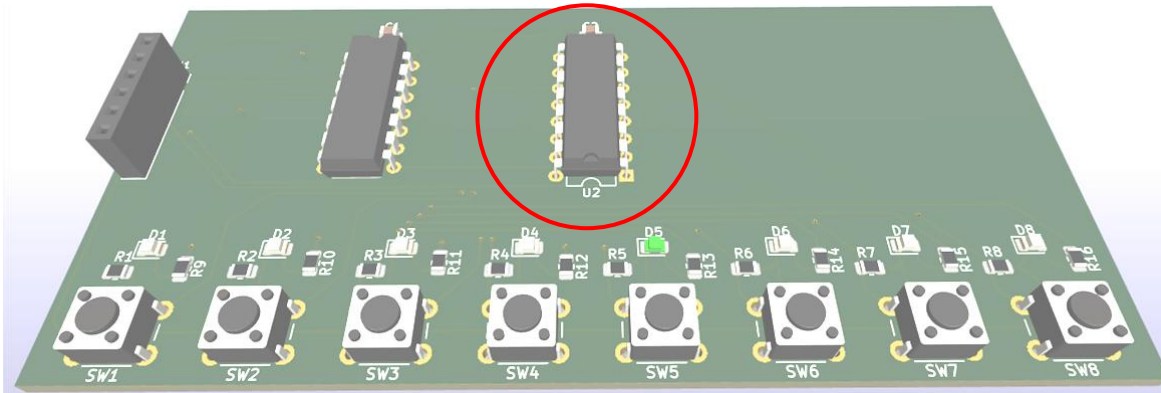
- 50% ocene: lab. vaje in projekt (dokument, zagovor)
- 50% ocene: izpit (2 kolokvija ali pisni)

Lab projekt: elektronske orgle

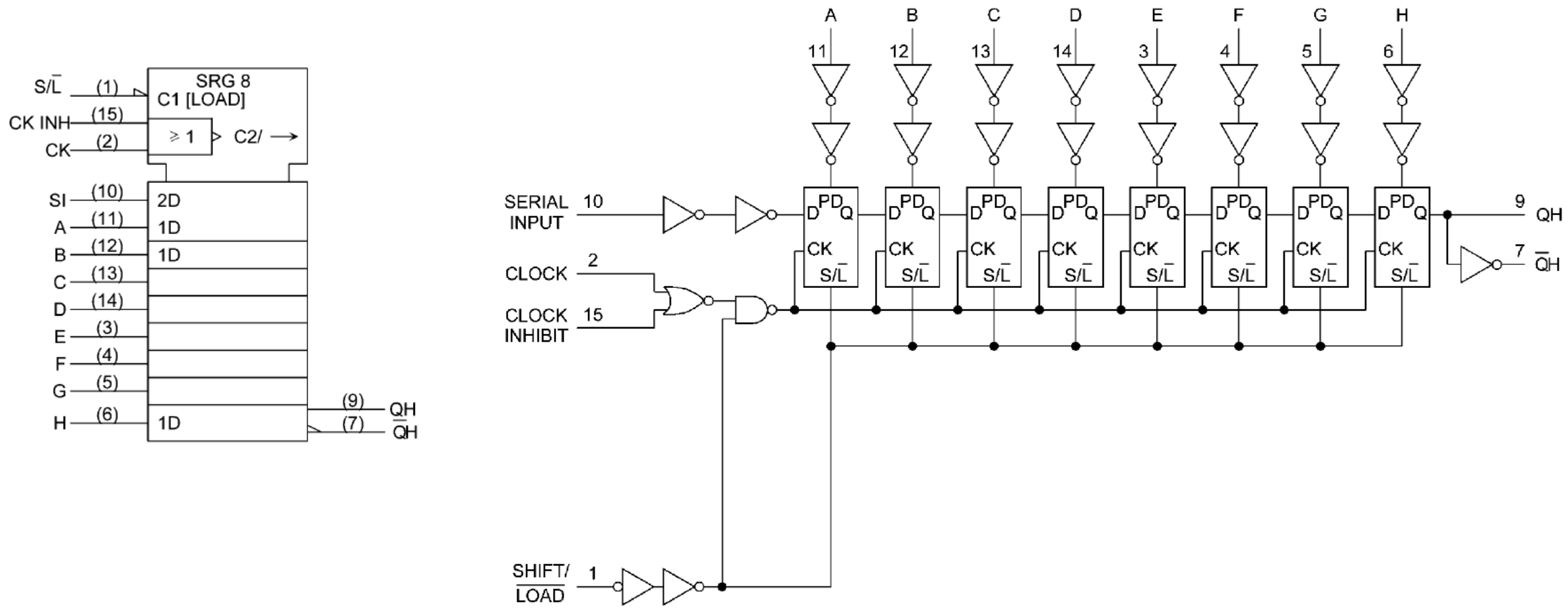
- generator sinusnih tonov v FPGA
- PWM izhod, vmesnik in
- zunanja tipkovnica



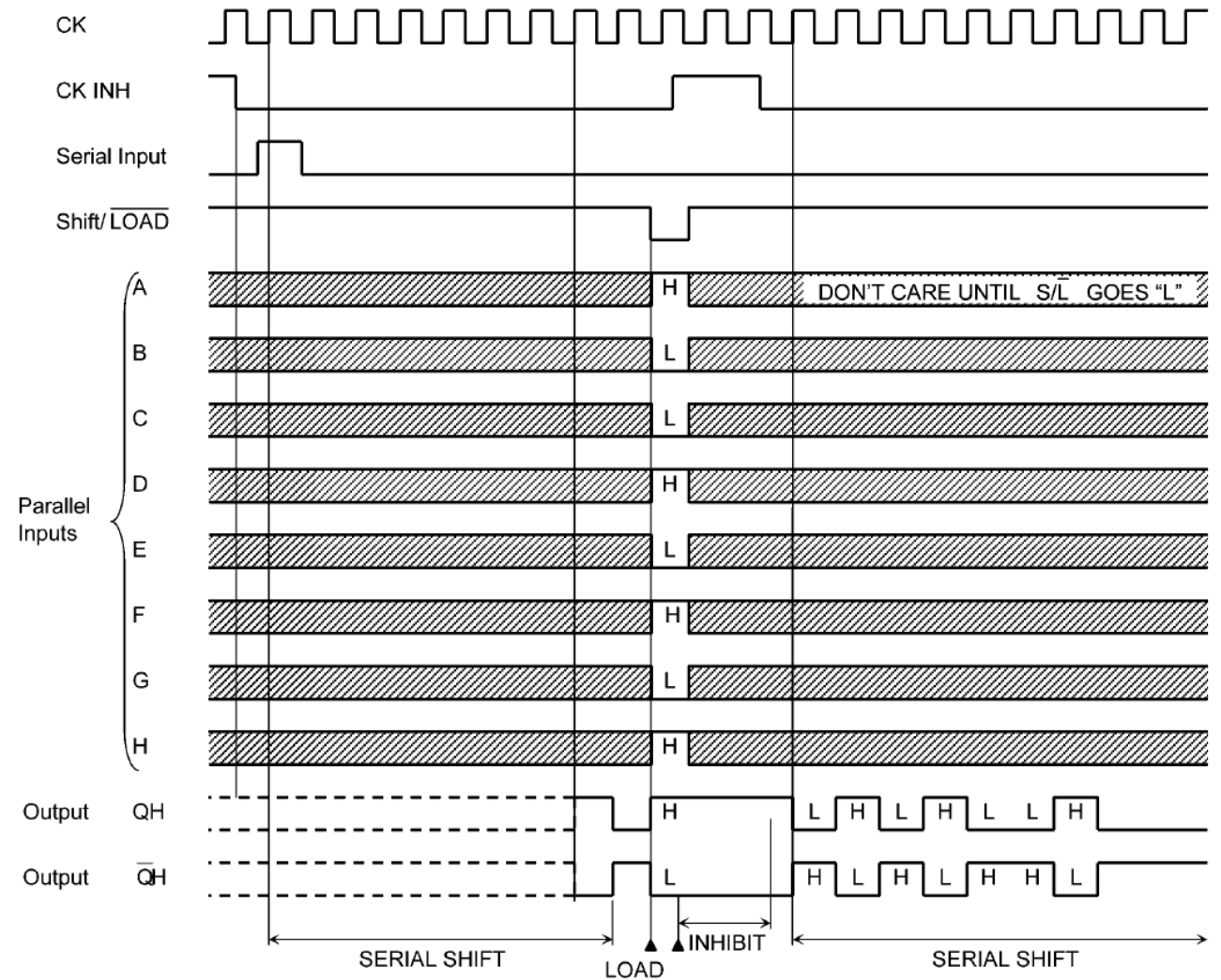
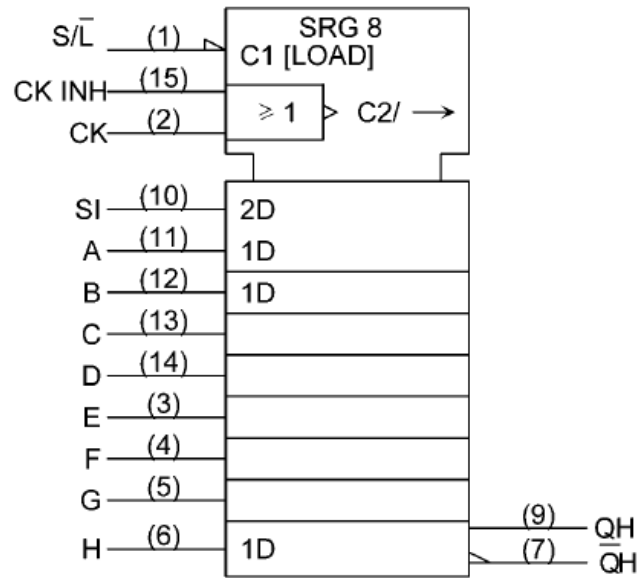
Primer: vezje za branje tipk



Paralelno serijski pomikalni register



Delovanje pomikalnega registra



Karakteristika 74HC165D

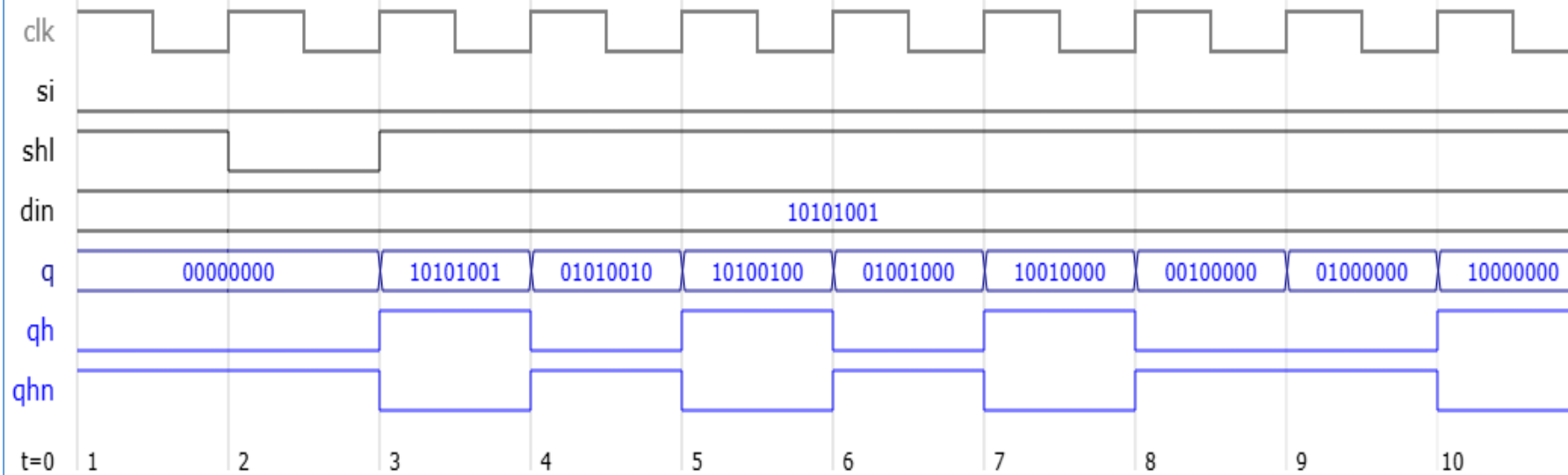
- statične omejitve
- zakasnitev
- frekvenca

	V _{CC} =2 V, 25°C	V _{CC} =4,5 V, 25°C
V _{IH}	min 1,5 V	min 3,15 V
V _{IL}	max 0,5 V	max 1,35 V
V _{OH}	min 1,9 V	min 4,4 V
V _{OL}	max 0,1 V	max 0,1 V
t _{PLH} t _{PHL}		max 25 ns t _r =6 ns
f _{clk}	max 7 MHz	max 30 MHz

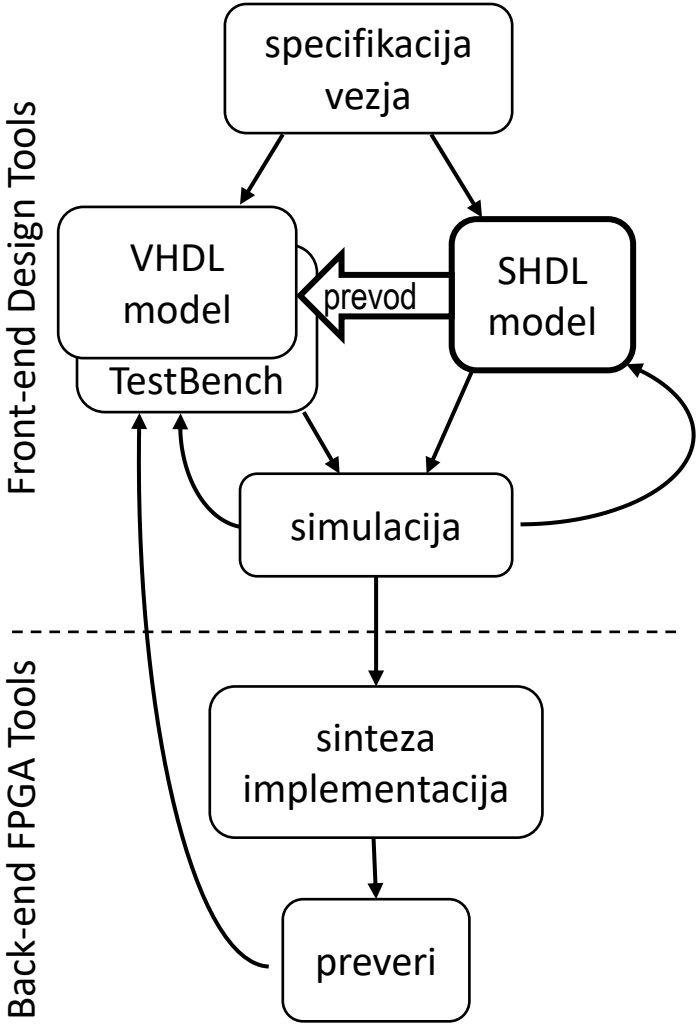
Logični model pomikalnega registra

```
entity hc165
  din: in u8
  shl: in u1
  si: in u1
  qh, qhn: out u1
  q: u8
begin
  if shl=0 then
    q <= din
  else
    q <= q(6:0) & si
  end
  qh = q(7)
  qhn = not q(7)
end
```

Strojno-opisni jezik (HDL) in simulacija



Razvojna orodja za FPGA



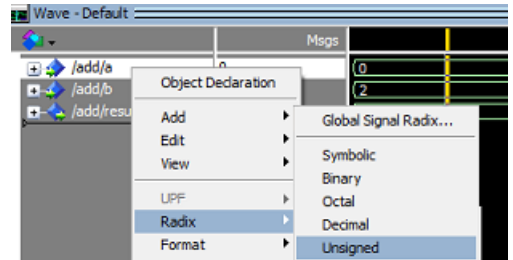
SHDL

```

1 entity hc165
2   din: in u8
3   shl: in u1
4   si: in u1
5   qh, qhn: out u1
6   q: u8
7 begin
8   if shl=0 then
9     q <= din
10  else
11    q <= q(6:0) & si
12  end
13  qh = q(7)

```

ModelSim



Intel Quartus Prime

A screenshot of the Intel Quartus Prime IDE. The main window displays VHDL code for an entity named 'system'. The code includes library declarations for IEEE and defines the architecture 'opis of system is'. The 'Tasks' window shows the compilation process, with tasks like 'Compile Design', 'Analysis & Synthesis', 'Fitter (Place & Route)', 'Assembler (Generate programming files)', 'Timing Analysis', and 'EDA Netlist Writer' all completed successfully. The bottom status bar shows various messages, including warnings about recovery paths and timing constraints.

Ponovitev... logična vrata

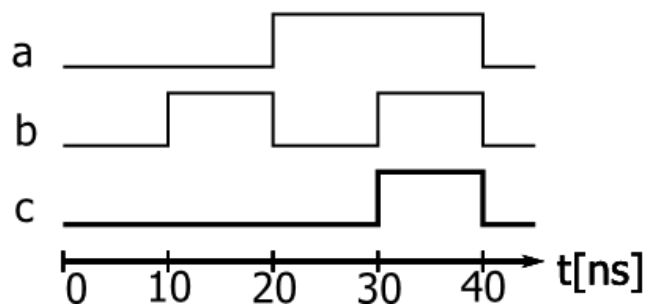
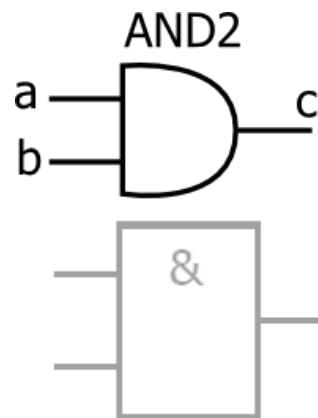
izraz

simbol

časovna simulacija

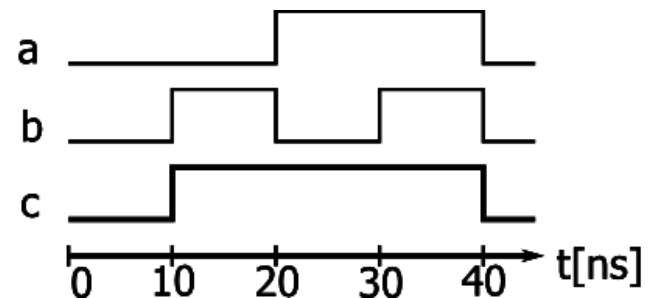
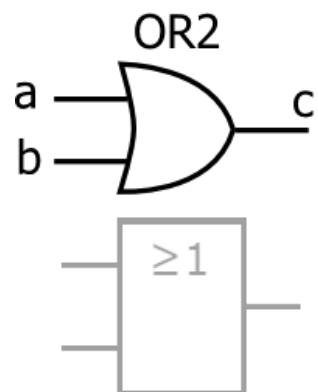
tabela

$c = a \text{ and } b$



a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

$c = a \text{ or } b$

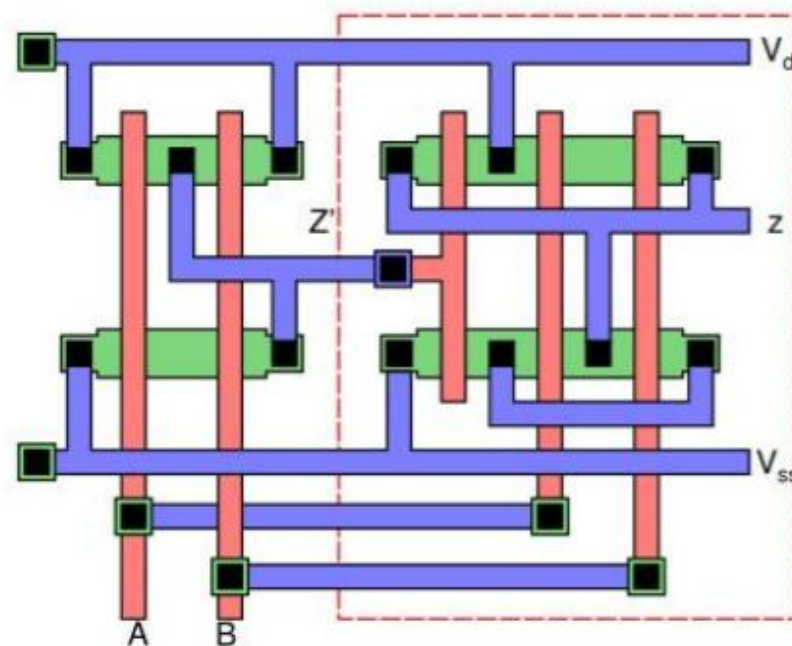
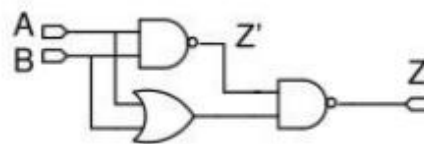
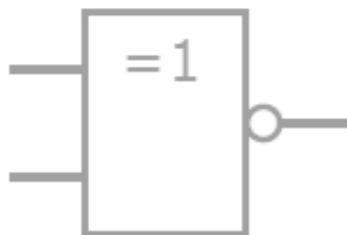


a	b	c
0	0	0
0	1	1
1	0	1
1	1	1

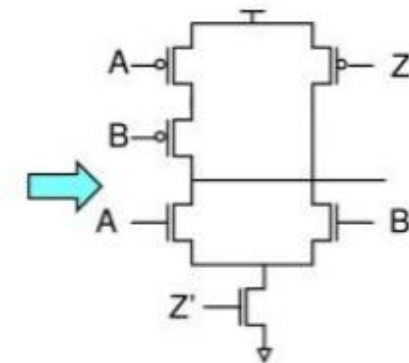
Ponovitev... logična vrata

xnor

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	1



maske v tehnologiji CMOS



Kombinacijska vezja iz logičnih vrat

Kako načrtujemo kombinacijsko vezje?

- omejitve dvonivojske logike PDNO/PKNO
- lastnosti večnivojske logike (zakasnitve, hazardi)
- gradniki pogosto uporabljanih funkcij
izbiralnik, primerjalnik, seštevalnik, ...

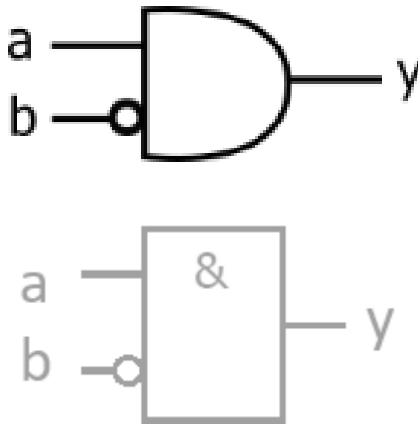
Primerjava vrednosti

- logične vrednosti obravnavamo kot števila
- Npr. $y=1$, če je $a>b$

pravilnostna tabela

a	b	y
0	0	0
0	1	0
1	0	1
1	1	0

simbol



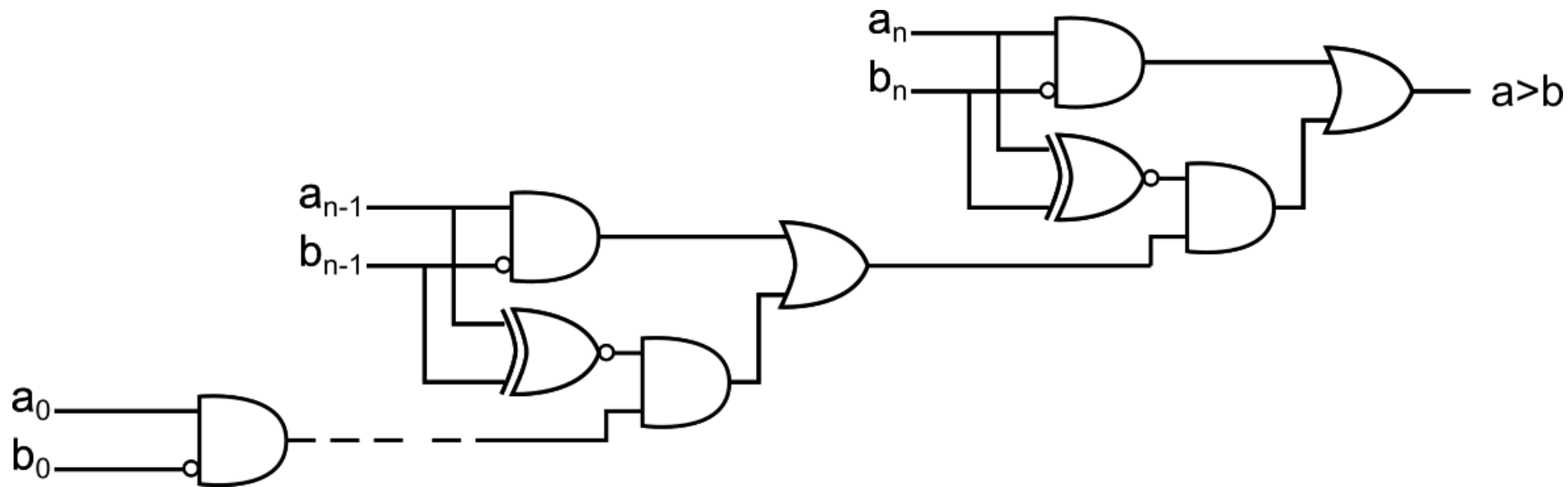
strojno-opisni jezik

$y = a$ **and** (**not** b)

$y = 1$ **when** ($a > b$) **else** 0

Primerjava večbitnih vrednosti

- a in b sta n-bitna vektorja, $y=1$, če je $a>b$
- rešitev: zaporedne primerjave

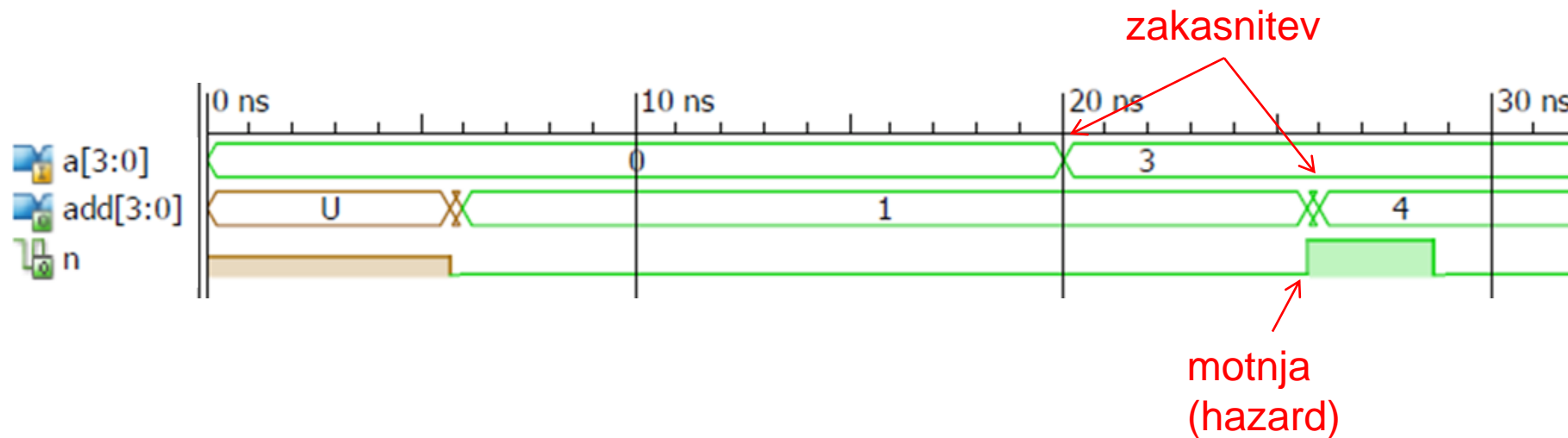


Posledice zakasnitev kombinacijske logike

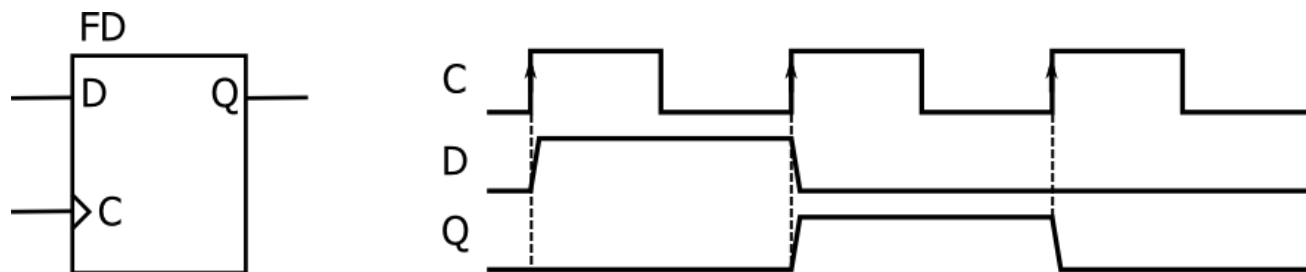
- števalnik in primerjalnik

$\text{add} = a + 1$

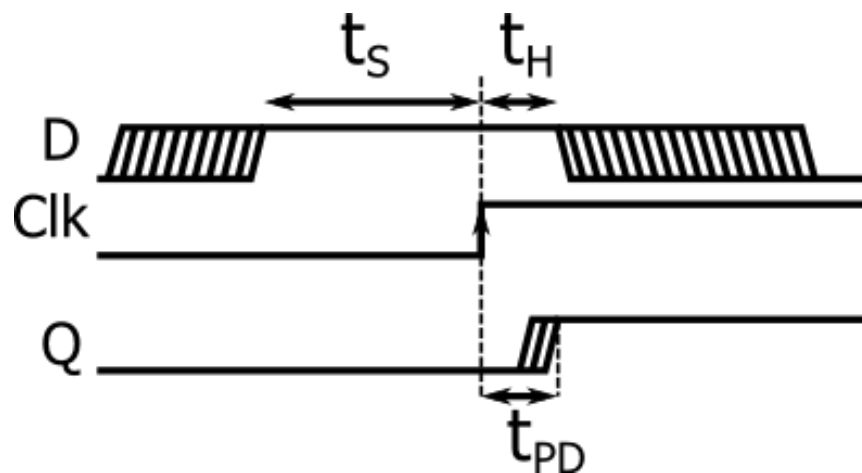
$n = 1$ **when** $\text{add}=0$ **else** 0



Dinamični red

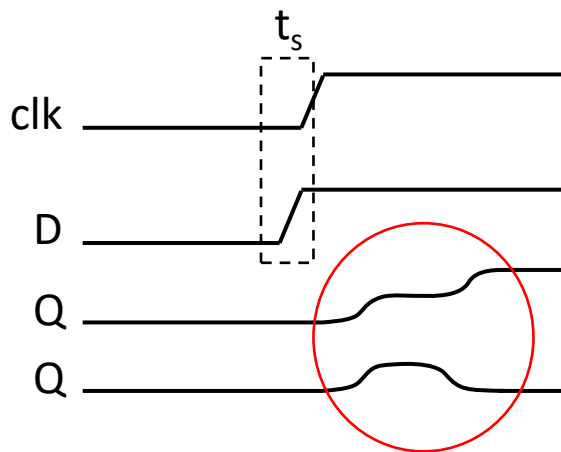


- zahteve za pravilno delovanje flip-flopov
podatkovni vhod D stabilen malo pred in po aktivni fronti ure



Kršitev dinamičnega reda

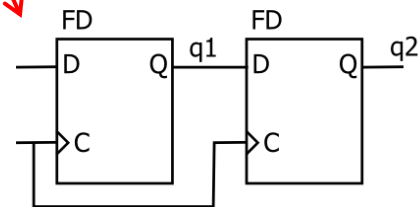
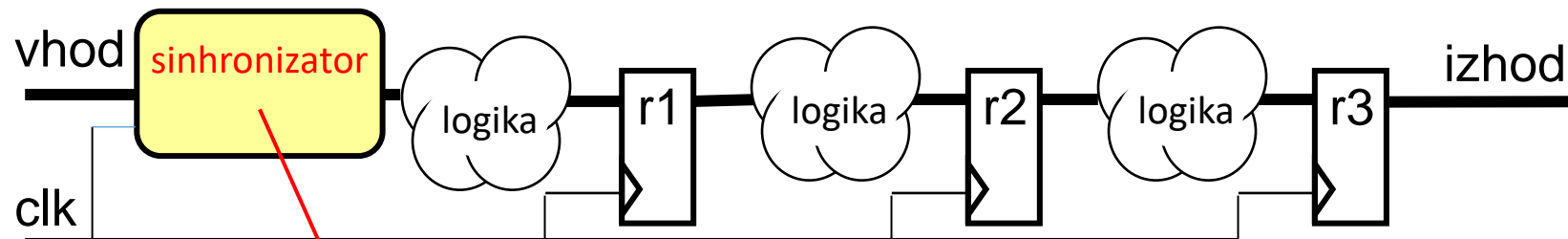
- kršitev t_s ali t_h lahko povzroči metastabilno stanje izhoda
 - čez (nedoločen) čas se postavi izhod v eno ali drugo stabilno stanje



- nedoločen čas okrevanja
- verjetnost za metastabilnost eksponentno pada s časom

Sinhrona vezja

- flip-flopi so vezani na isto uro
- zakasnitve kombinacijske logike manjše kot perioda ure
- na vhodu dodamo sinhronizator



- več flip-flopov zmanjša verjetnost metastabilnosti