



Laboratorij za načrtovanje integriranih vezij

Univerza v Ljubljani
Fakulteta za elektrotehniko



1. stopnja UNI, 2. letnik

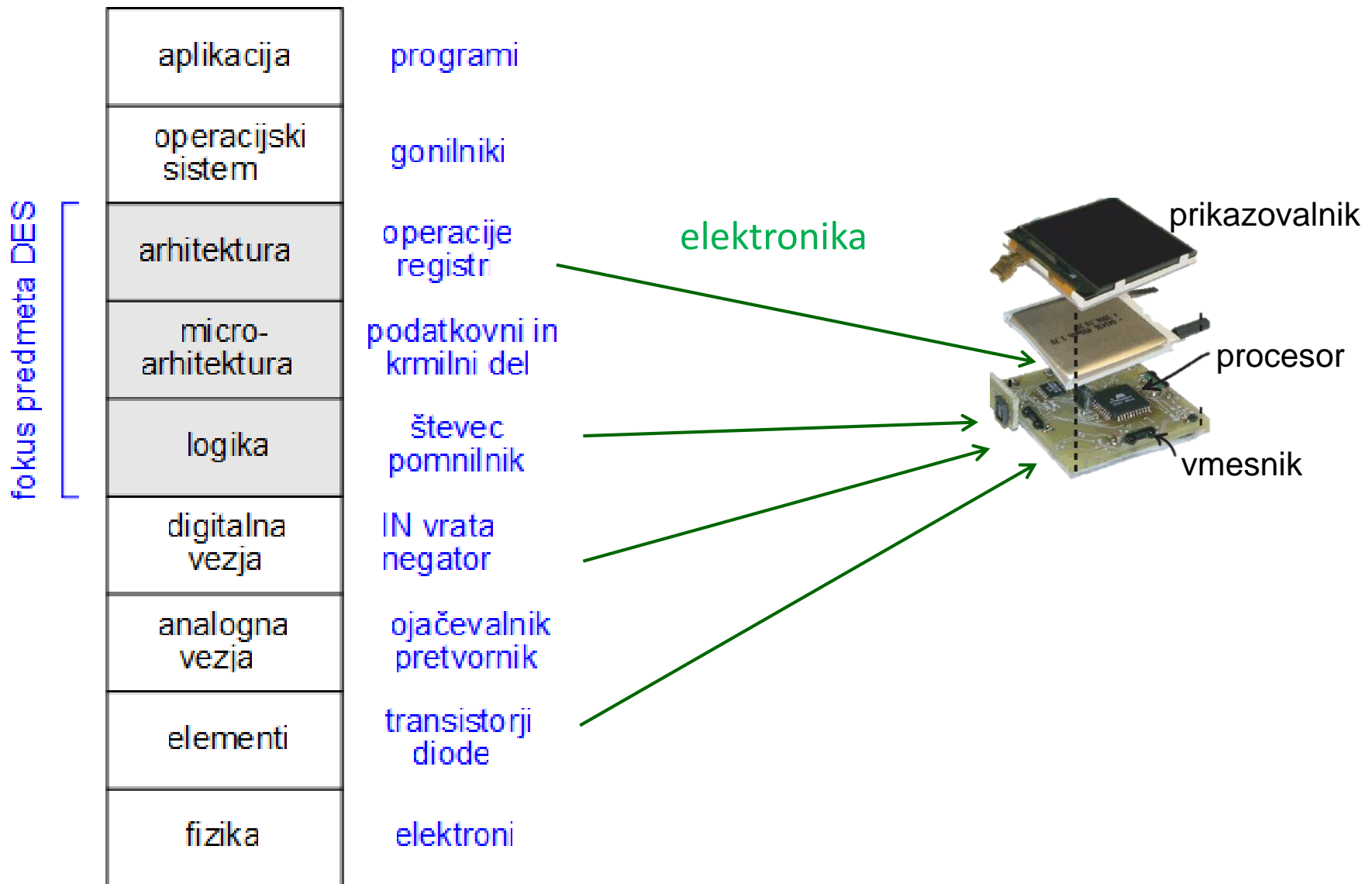
Digitalni Elektronski Sistemi

Andrej Trost

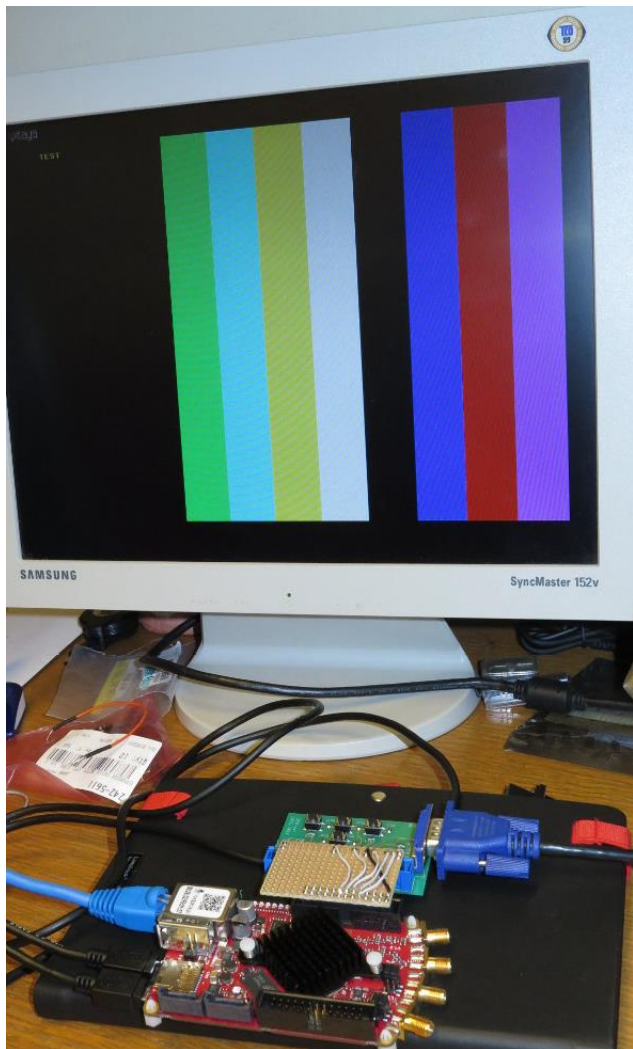
Literatura: A. Trost: Načrtovanje digitalnih vezij v jeziku VHDL, FE 2011

Spletna stran: <http://lniv.fe.uni-lj.si/des.html>

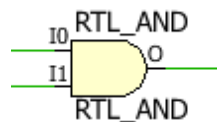
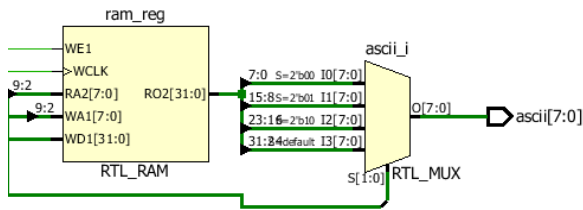
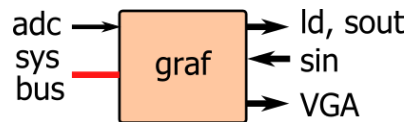
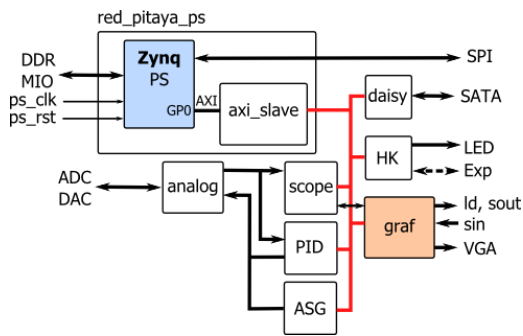
Digitalni elektronski sistemi



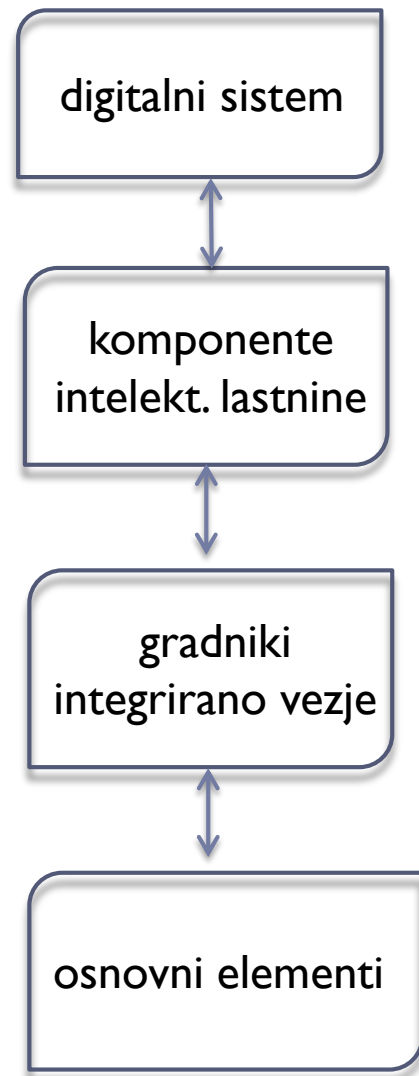
Prototip vezja



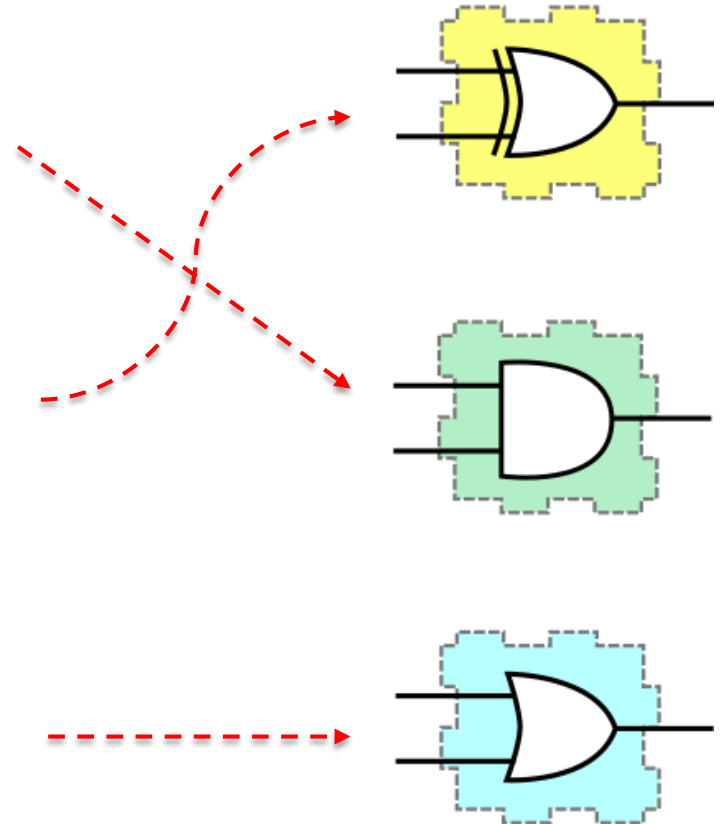
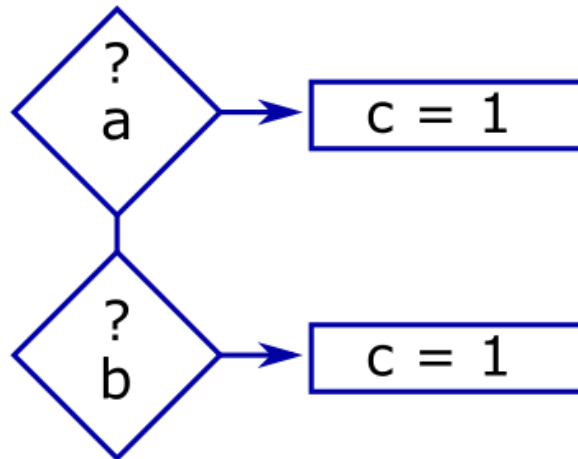
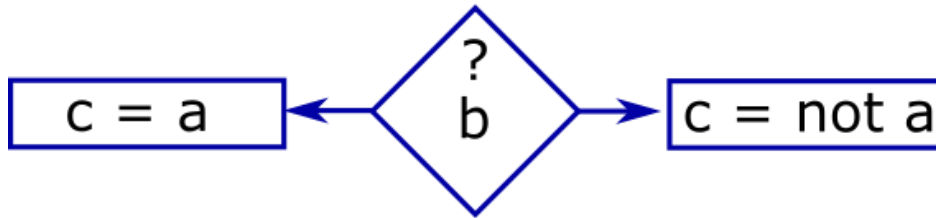
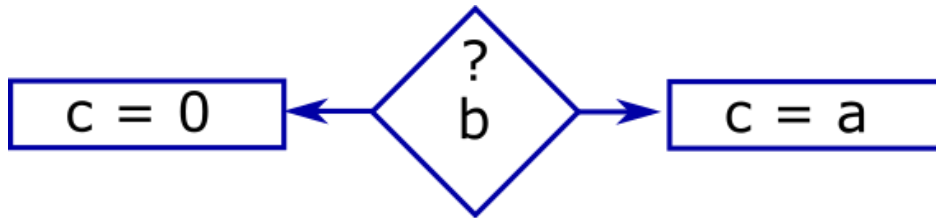
Logični model



Načrtovanje



Poveži diagram z logičnim gradnikom

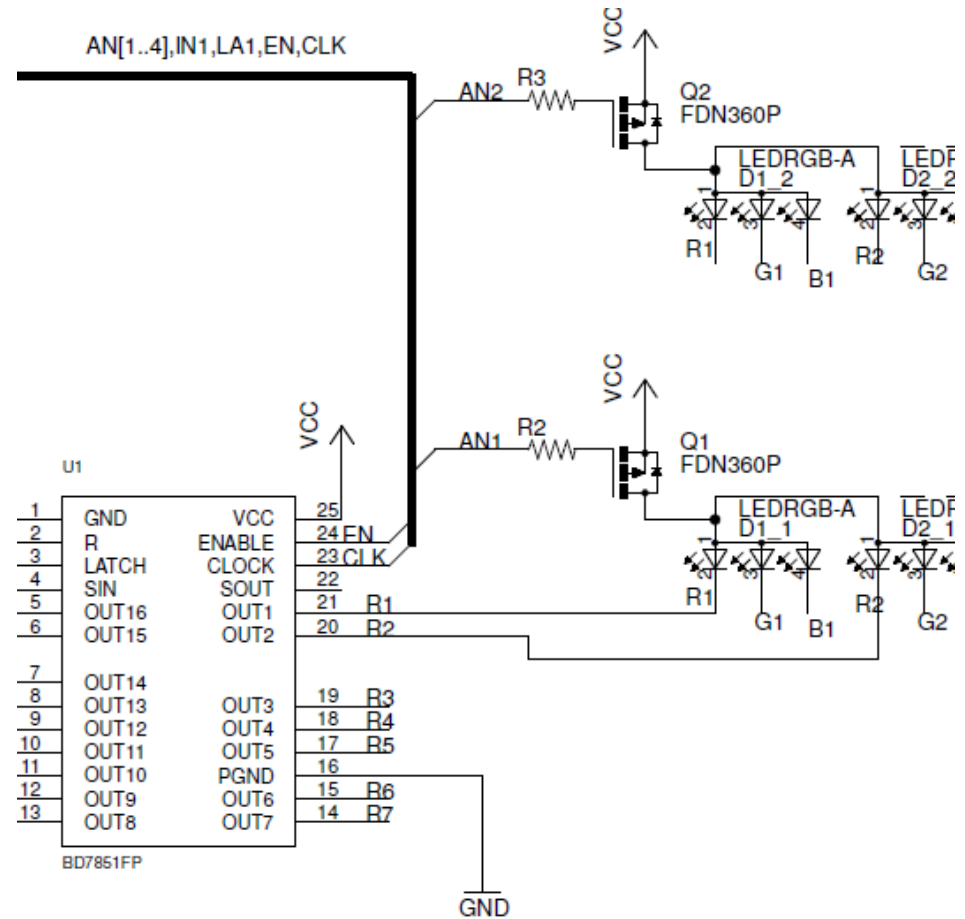
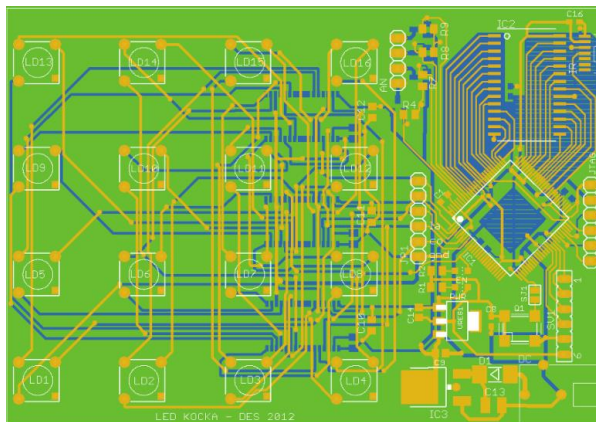
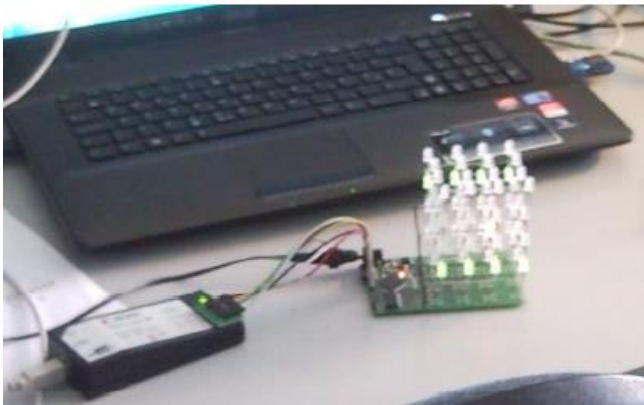


Laboratorijski projekt

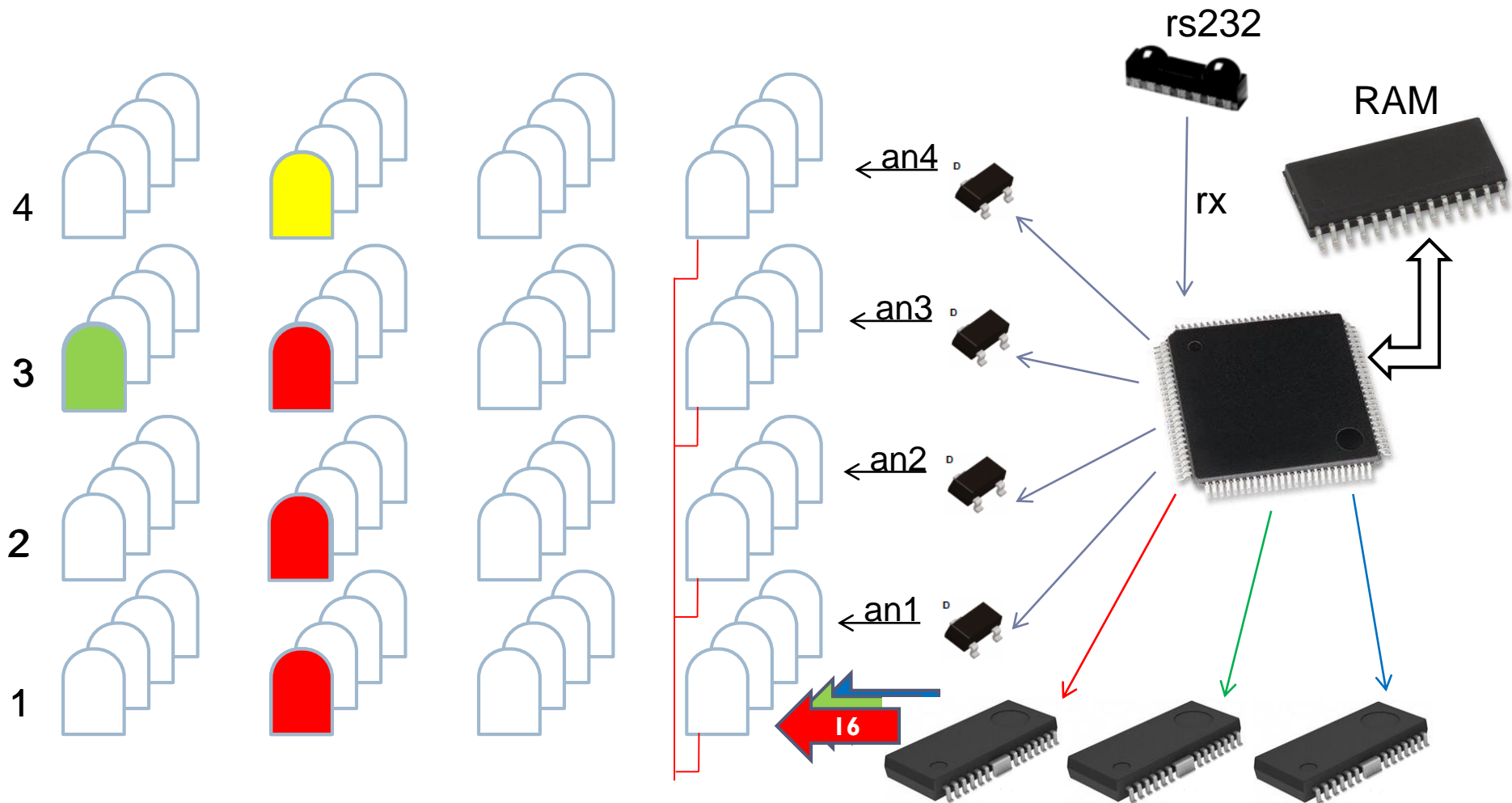
- ▶ izdelava digitalnega sistema
 - ▶ načrtovanje tiskanega vezja
 - ▶ digitalni vmesniki in razvoj logičnih komponent
 - ▶ izdelava aplikacije za vgrajeni mikroprocesor
- ▶ modularna zgradba
 - ▶ različne platforme: Arduino (uC), Red Pitaya (SoC), DE0 (FPGA)
- ▶ projekt 2017/18: elektronske orgle
 - ▶ večkanalni generator tonov v logiki
 - ▶ tiskano vezje vmesnika z avdio izhodom
 - ▶ grafični prikaz signala in dekodiranje protokola MIDI

Svetleča kocka (2011/12)

- ▶ 3D LED struktura
- ▶ krmilno vezje in povezava na Arduino

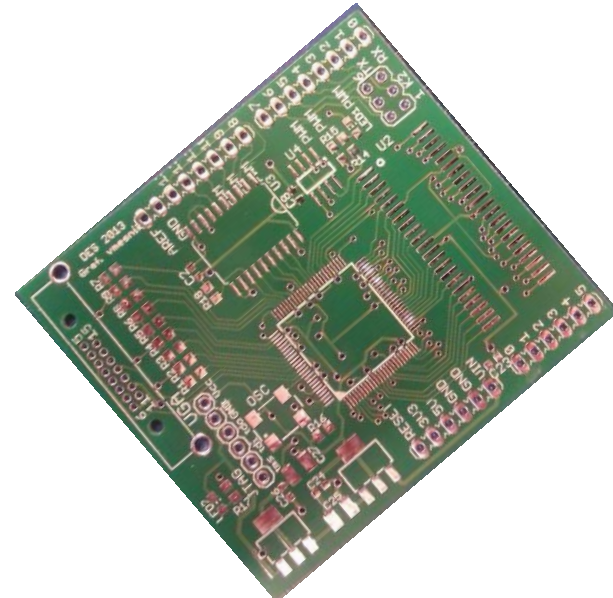
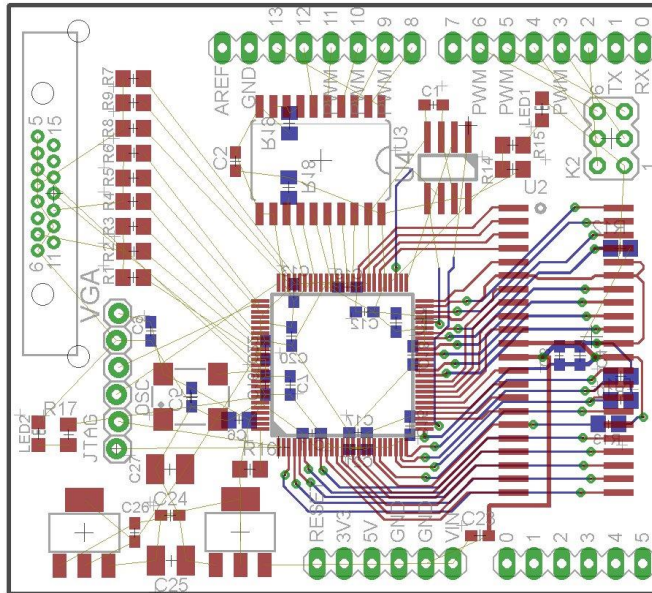
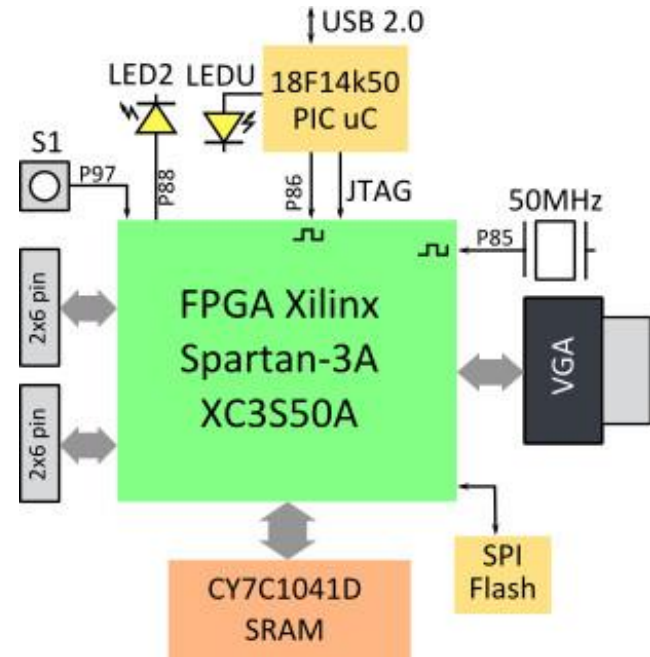
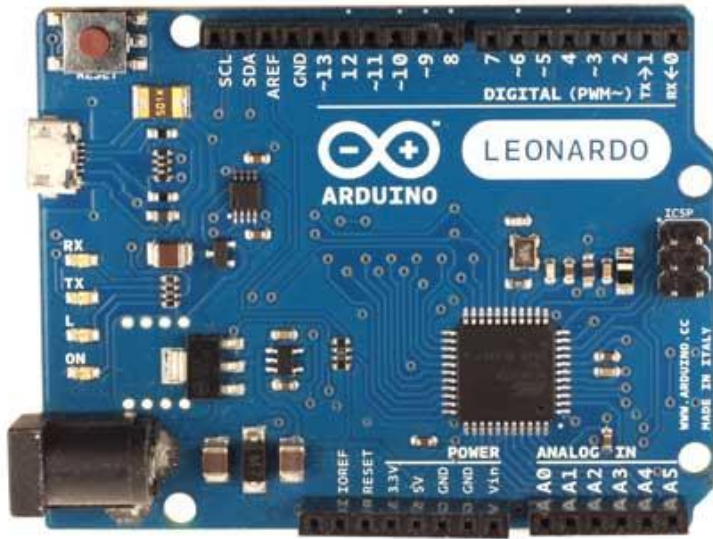


Signali in krmiljenje kocke

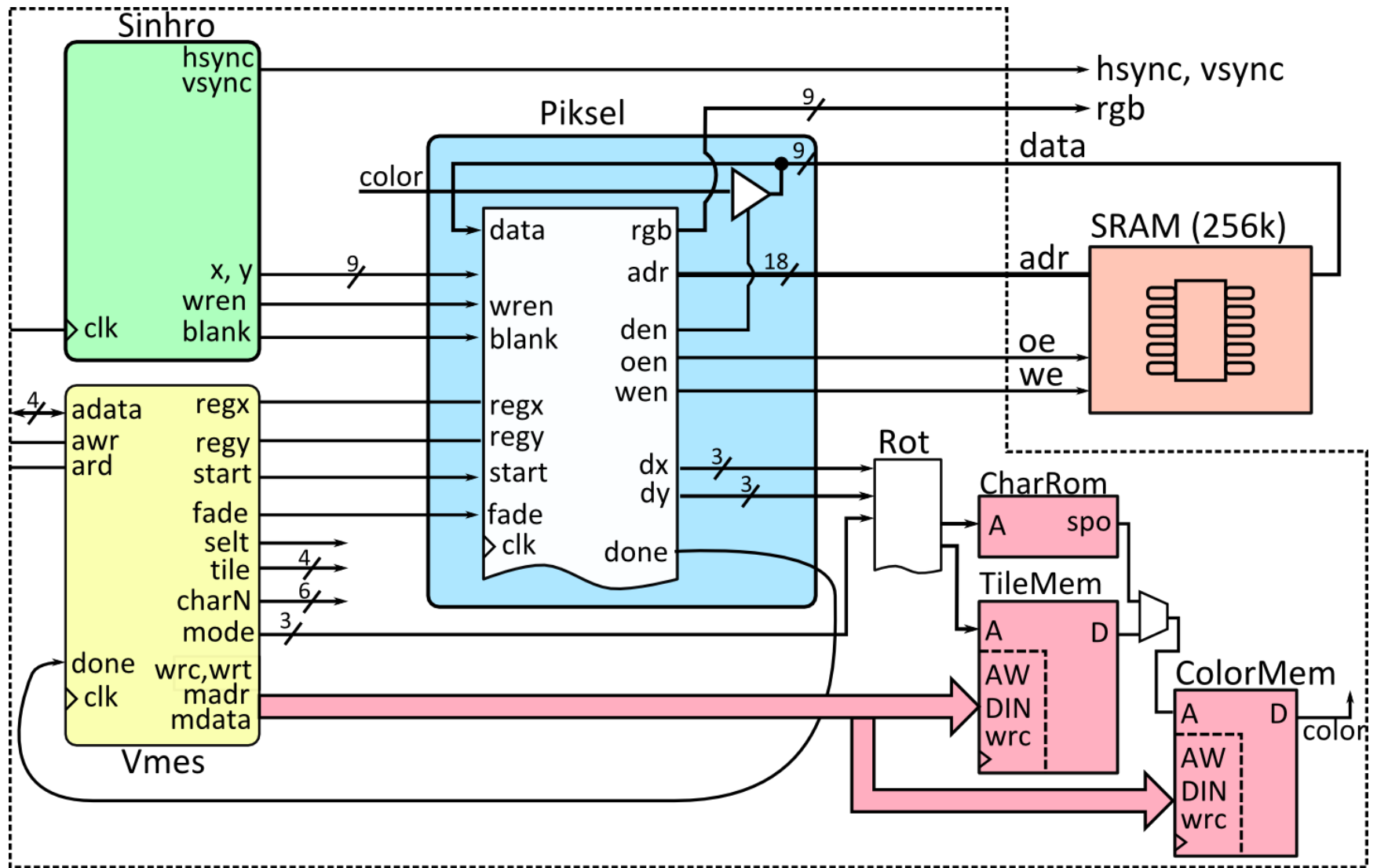


Arduino grafični vmesnik (2012-13)

▶ Arduino shield



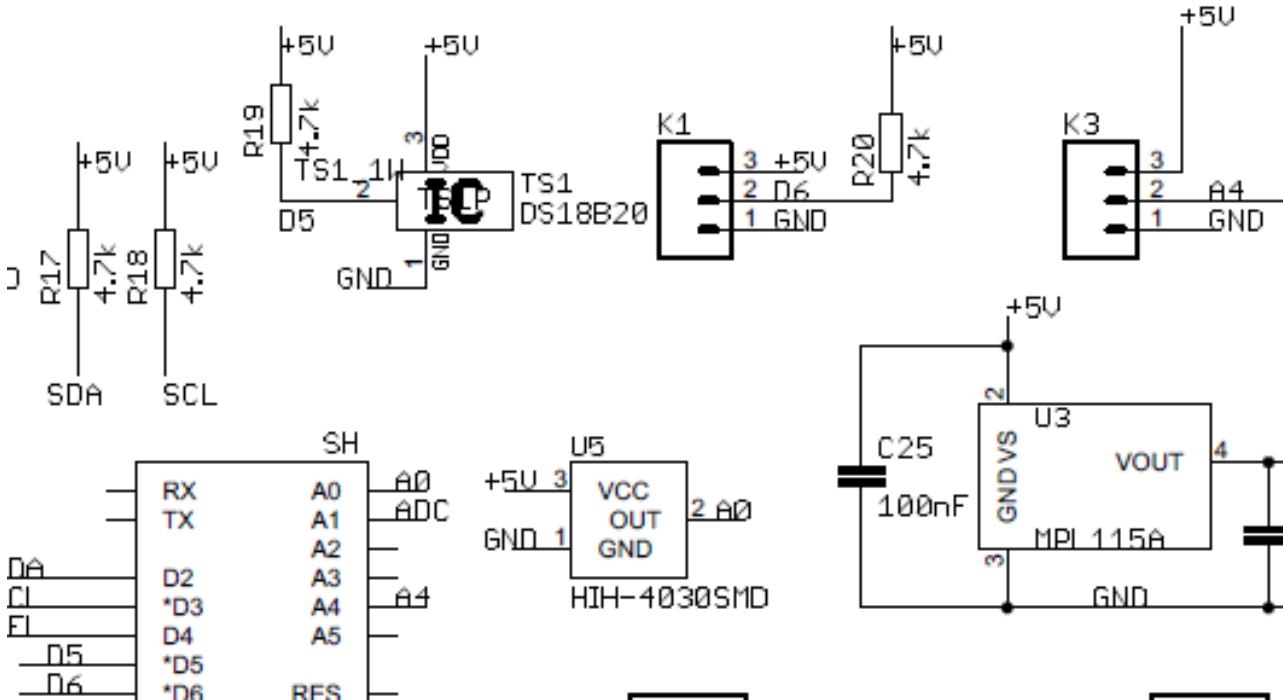
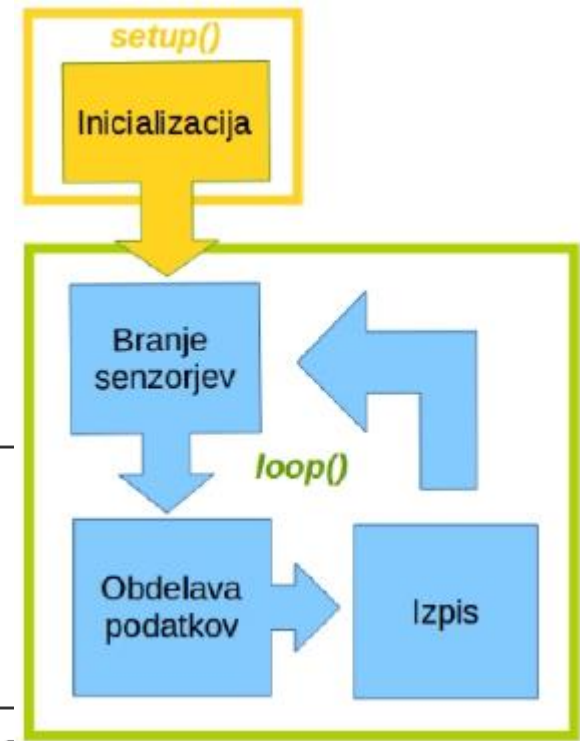
Logična shema grafičnega vmesnika



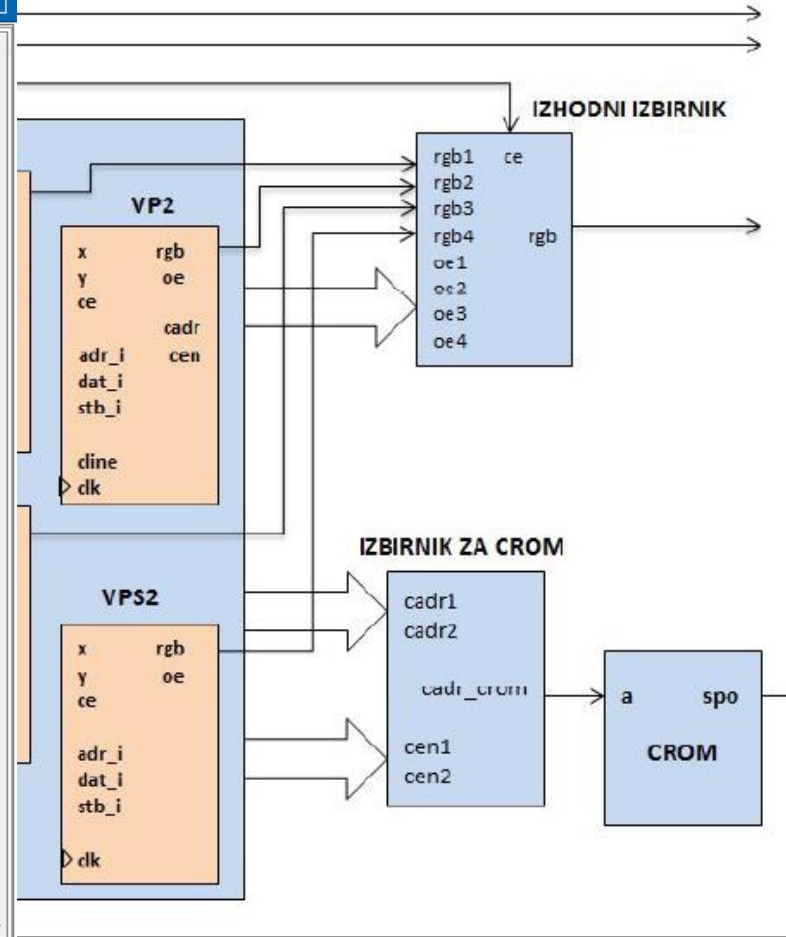
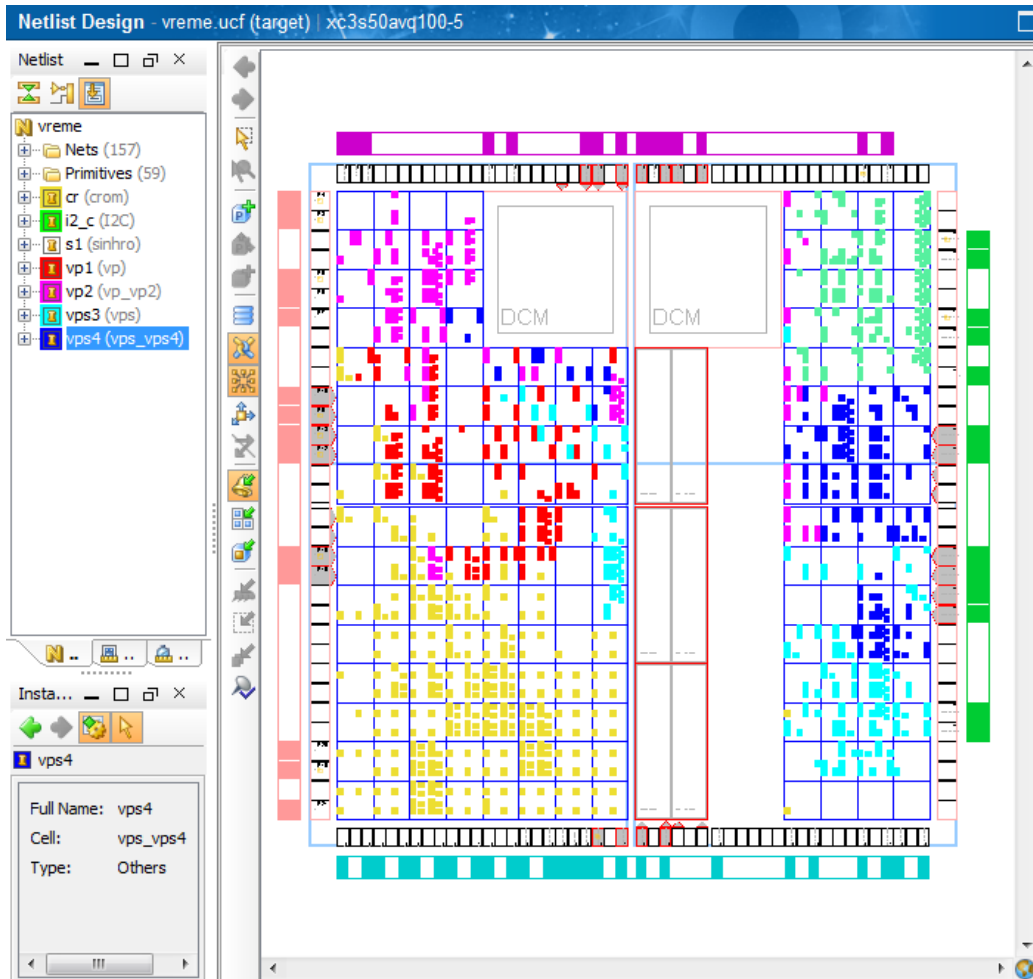
Vremenska postaja (2013-14)

Arduino shield s senzorsti

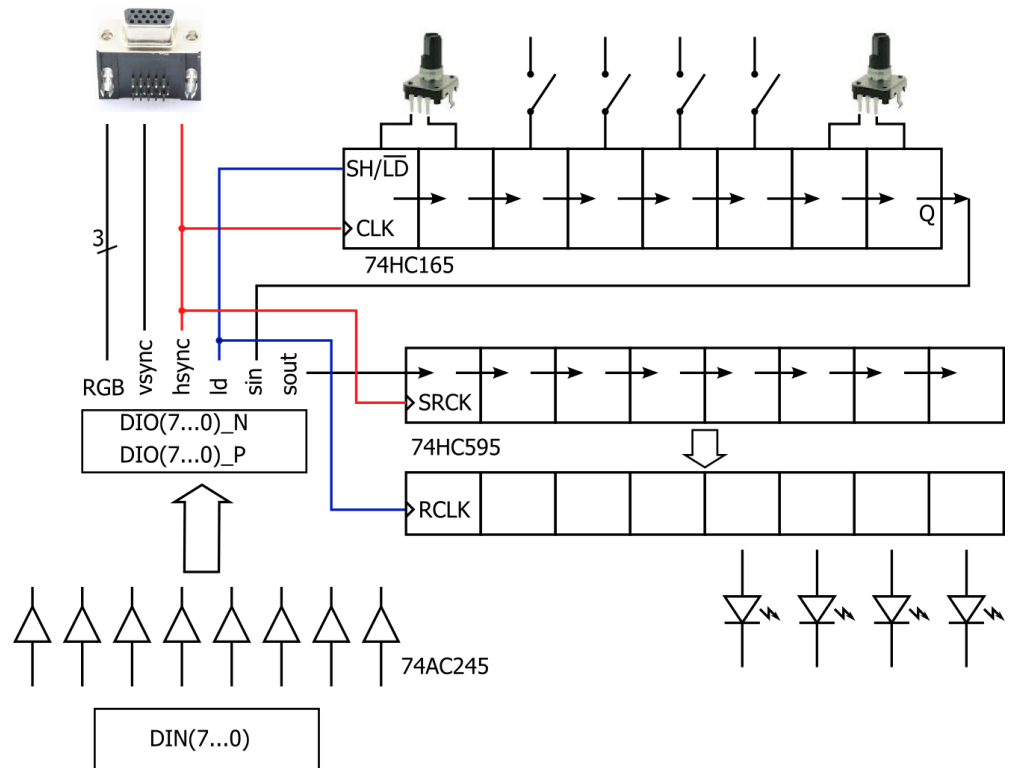
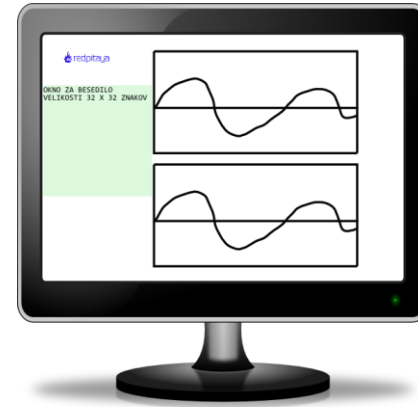
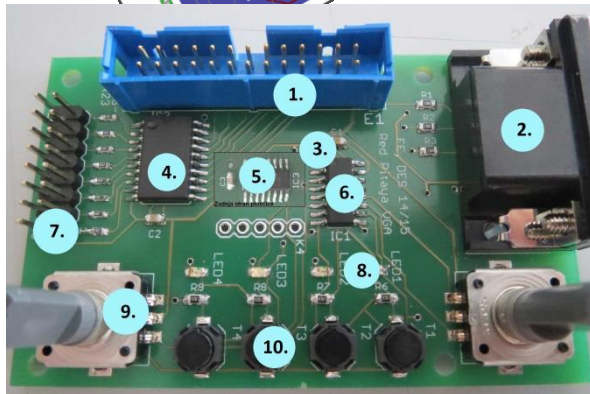
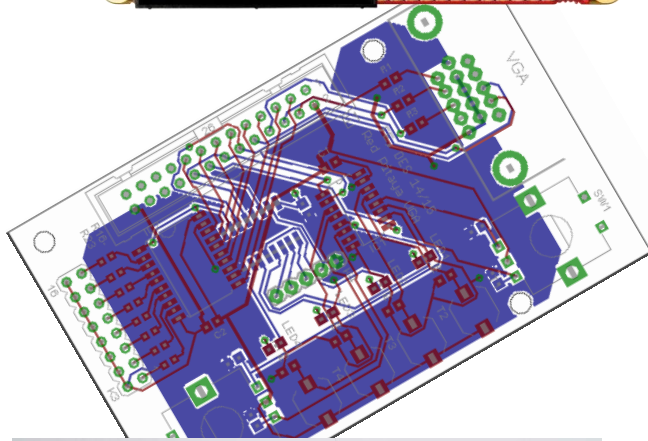
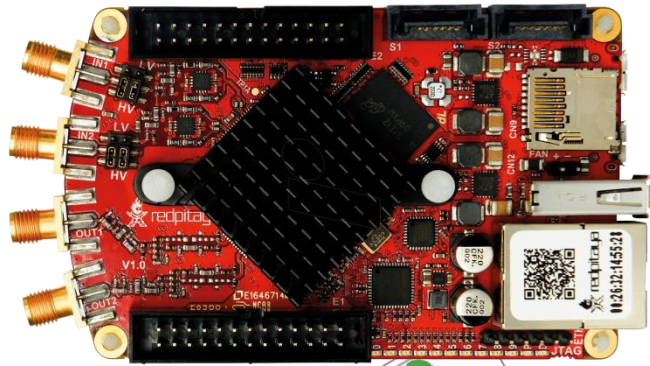
- ▶ temperatura DS18B20, 1wire
- ▶ vlaga HIH-5030, analogni (A0)
- ▶ tlak MPXA6115, analogni (A1)



Grafični prikaz podatkov - FPGA

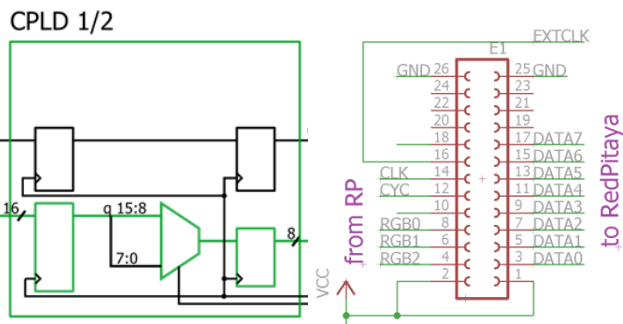
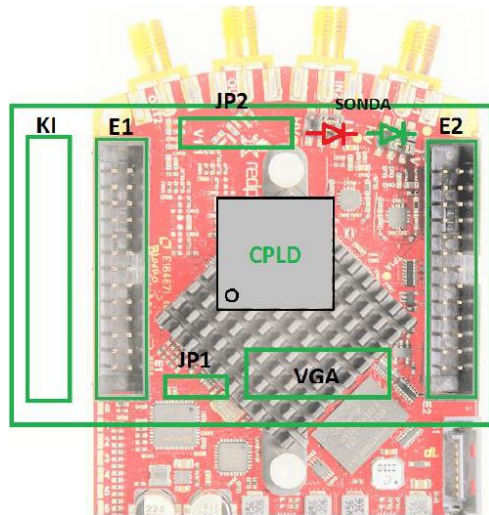


Grafični modul za Red Pitayo (2014-15)



Logični analizator (2015-16)

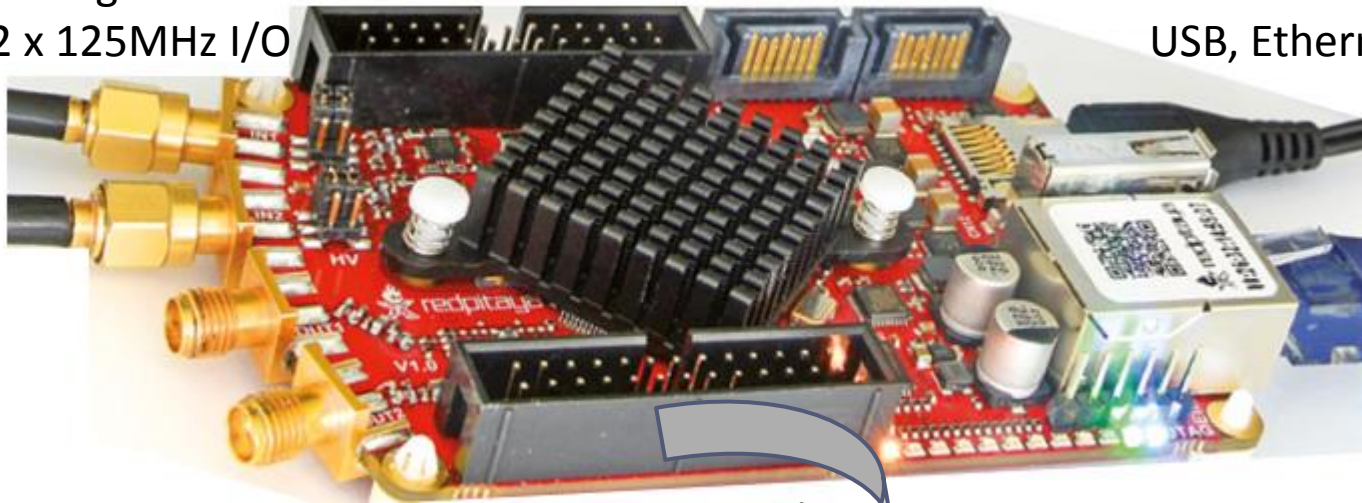
- ▶ vmesnik za zajem logičnih signalov (16 vhodov, proženje)
- ▶ grafični vmesnik (VGA)
- ▶ V/I za počasne signale (npr. tipke, LED...)



Osciloskop z VGA izhodom (2016/17)

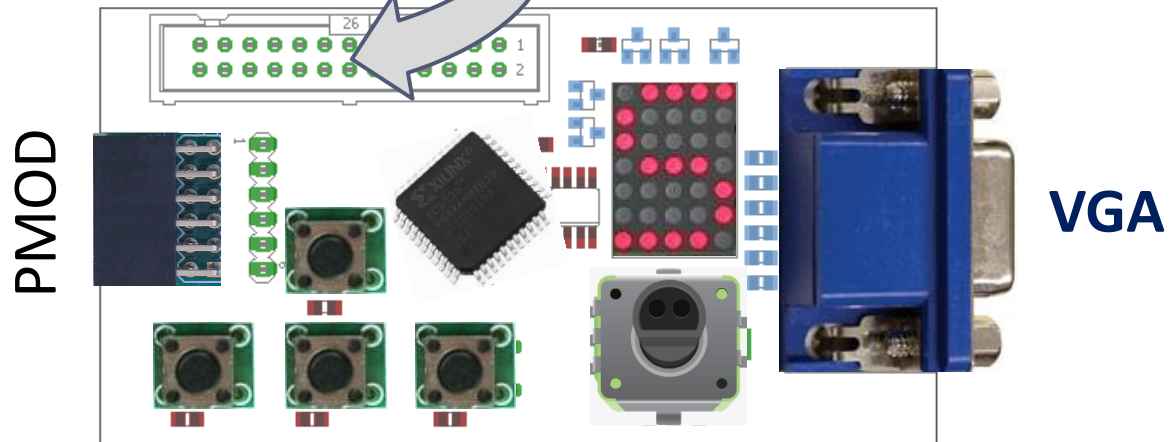
analogni del
2 x 125MHz I/O

računalniški del
USB, Ethernet, SD



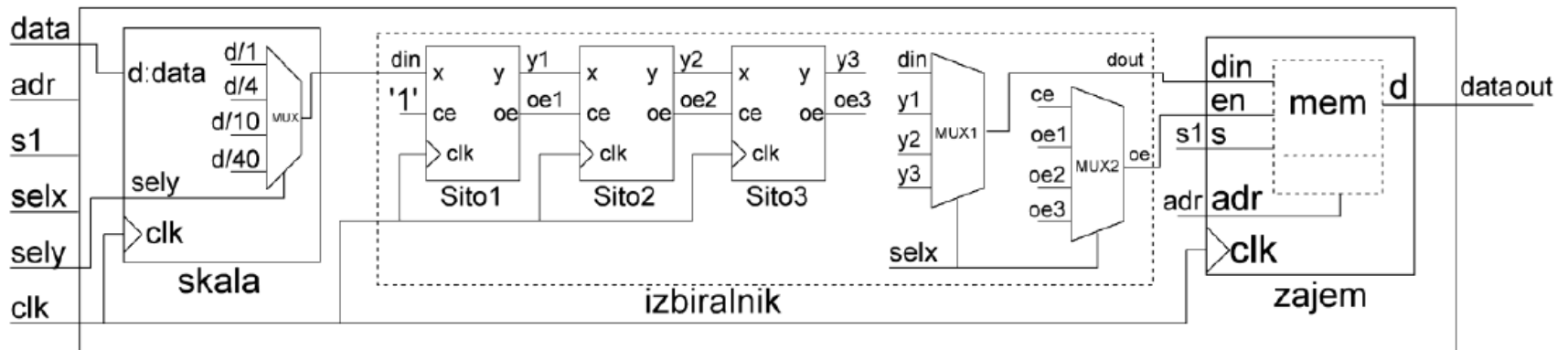
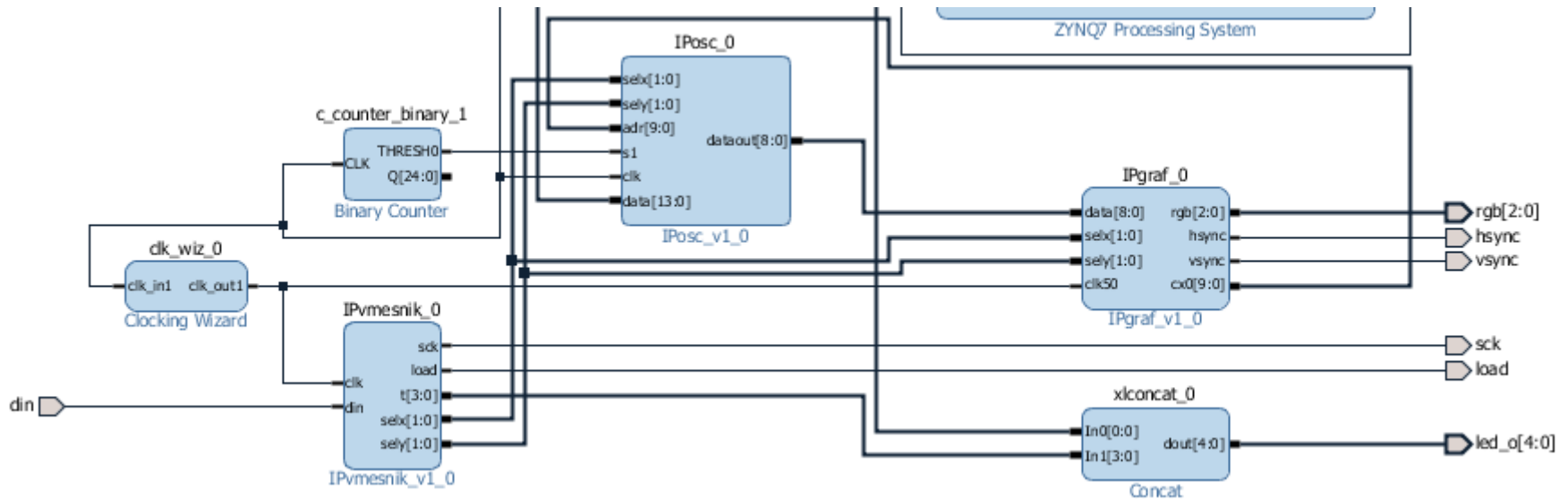
16 I/O

prikaz



tipke in rotacijski kodirnik

Hierarhične komponente sistema



IP-komponenta: IPOsc - osciloskop

Cilji, izvajanje in ocenjevanje DES 2017/18

Študent bo znal:	Potek dela:	Ocenjevanje:
razložiti modeliranje digitalnih sistemov	predavanja, demonstracija	ustno
uporabiti ustrezne metode razvoja vezij	laboratorijske vaje	ocena vaj
opisati zasnovo in izvedbo digit. sistema	lab. projekt, skupinsko delo	ocena poročila
ovrednotiti različne tehnološke izvedbe	predavanja, diskusija	ustno
narediti RTL opis za izbrano nalogo	predavanja, vaje	ustno, reševanje na list