



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*  
Fakulteta *za elektrotehniko*

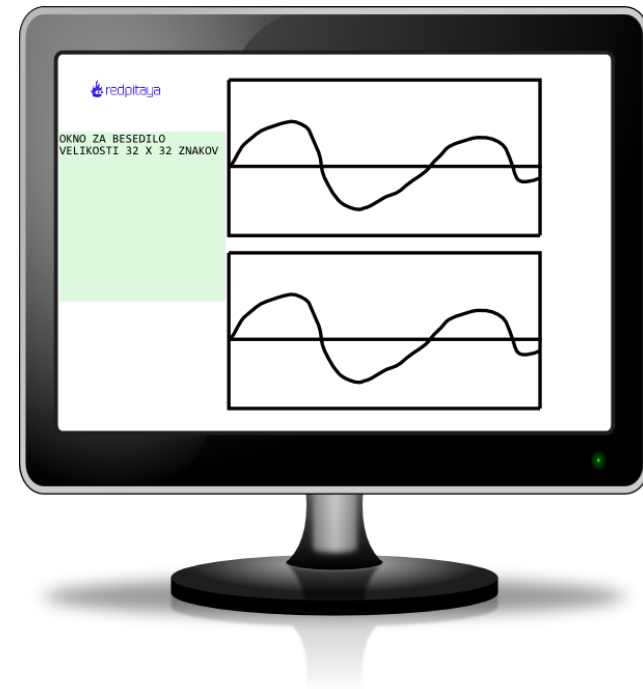
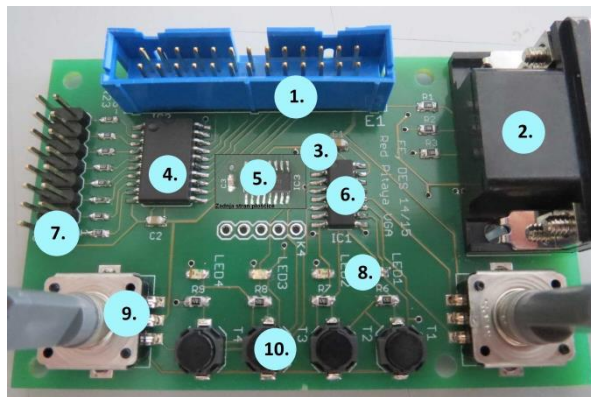
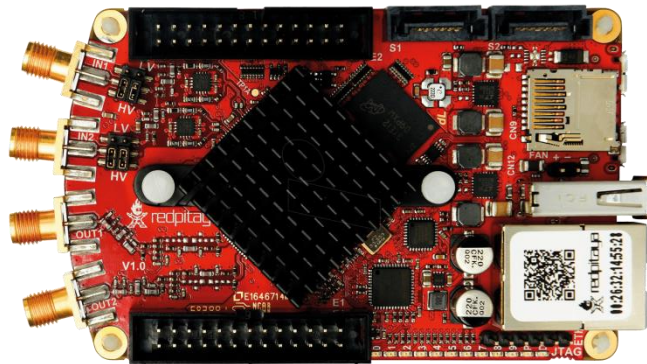


# Red Pitaya – digitalni osciloskop

DES 2016/17 - razvoj vgrajenega sistema

# Red Pitaya osciloskop z izhodom VGA

- ▶ razvoj tiskanega vezja vmesnika (VGA, tipke, rotac, LED)
- ▶ VHDL logika za zajem signalov in vmesnik
- ▶ VHDL grafika za prikaz signalov



# Projekt: digitalni osciloskop

---

## 1. Logika

- ▶ orodja: VHDL simulator, Xilinx Vivado
- ▶ logika osciloskopa na Red Pitayi, testne strukture

## 2. Grafika

- ▶ orodja: VHDL simulator, Xilinx Vivado
- ▶ prikazovanje signalov in besedila

## 3. Vmesnik

- ▶ orodja: Eagle, VHDL simulator, Xilinx Vivado
- ▶ načrt tiskanega vezja in logika vmesnika v CPLD

# Potek laboratorijskih vaj

---

## Logika

3. kombinacijsko vezje
4. digitalno sito
5. decimacijsko sito
6. shranjevanje vzorcev
- ...

## Grafika

3. kombinacijsko vezje
4. digitalno sito
5. VGA signal
6. prikaz sličice
- ...

## Vmesnik

3. shema V/I vmesnika
4. tiskano vezje
5. kombinacijsko vezje
6. digitalno sito
- ...

### ▶ Drugi del vaj bo VHDL:

- ▶ logika za proženje meritve in skaliranje rezultata (y os)
- ▶ grafika osciloskopa (diagram in besedilo)
- ▶ vmesnik za branje vhodov in nastavitev indikatorjev

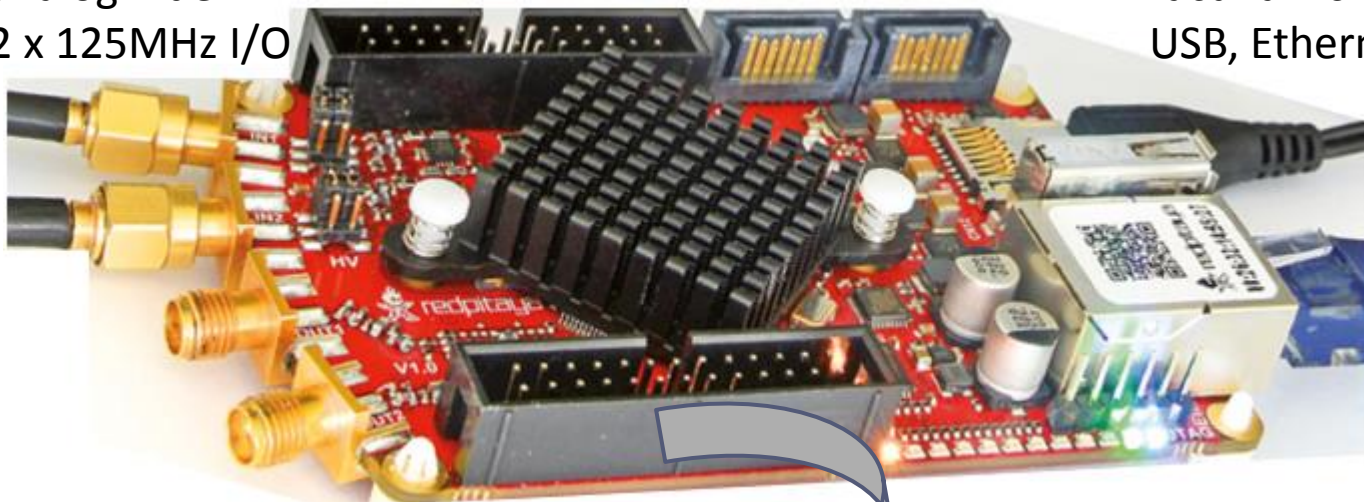
### ▶ Skupni del:

- ▶ koda za nastavljanje registrov, spajkanje in testiranje

# Red Pitaya z vmesnikom

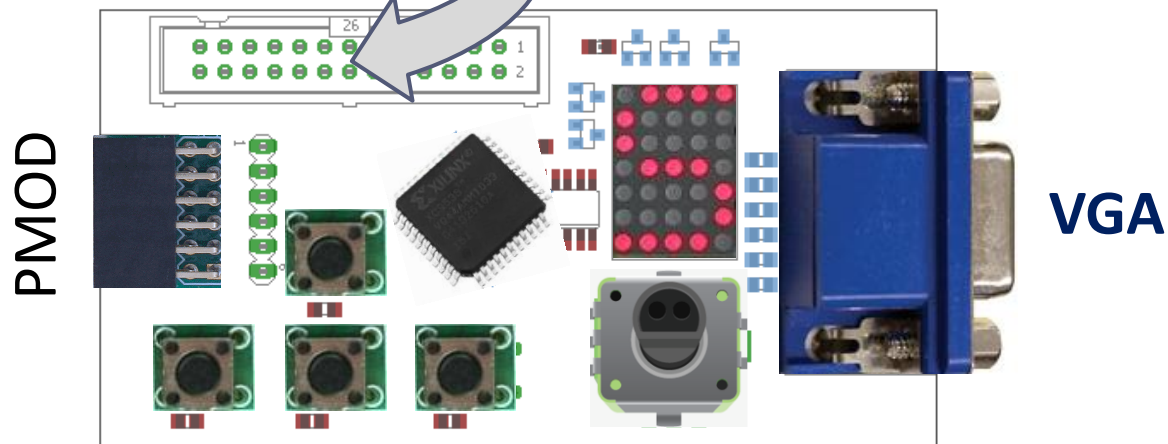
analogni del  
2 x 125MHz I/O

računalniški del  
USB, Ethernet, SD



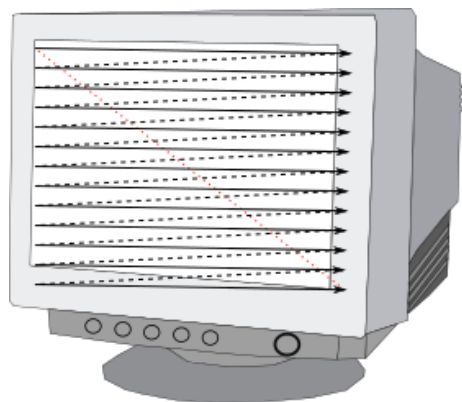
16 I/O

prikaz



tipke in rotacijski kodirnik

# VGA signal



- skeniranje vrstice (horizontala)
- - - horizontalno vračanje žarka (zatemnitev)
- · · · · vertikalno vračanje žarka (zatemnitev)

▶ iz ure clk50 vezje generira časovni potek signalov:

