



Laboratorij za načrtovanje integriranih vezij

Univerza v Ljubljani  
Fakulteta *za elektrotehniko*



1. stopnja UNI, 2. letnik

# Digitalni Elektronski Sistemi

Andrej Trost

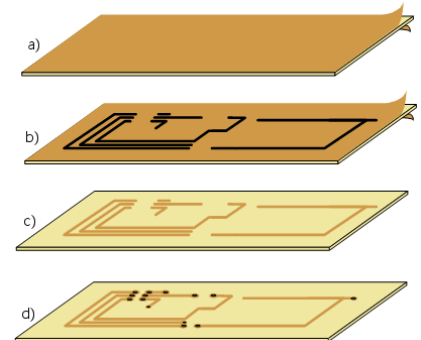
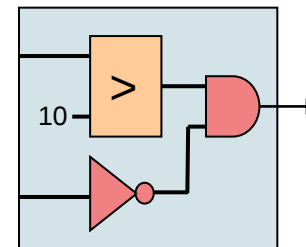
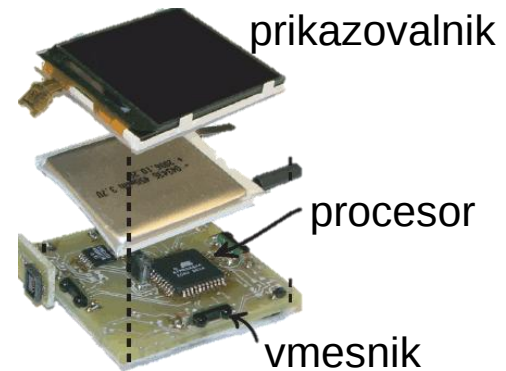
Literatura: A. Trost: Načrtovanje digitalnih vezij v jeziku VHDL, FE 2011

Spletna stran: <http://lniv.fe.uni-lj.si/des.html>

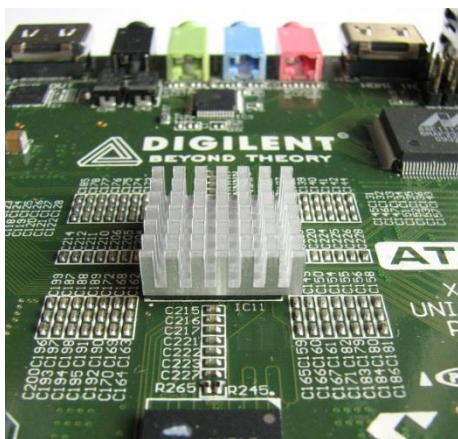
# Digitalni elektronski sistemi

fokus predmeta DES

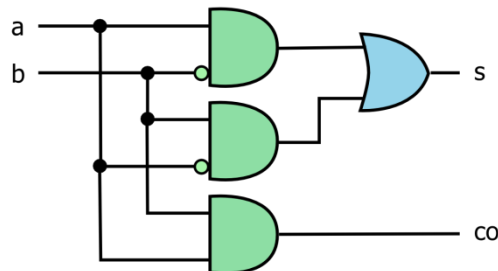
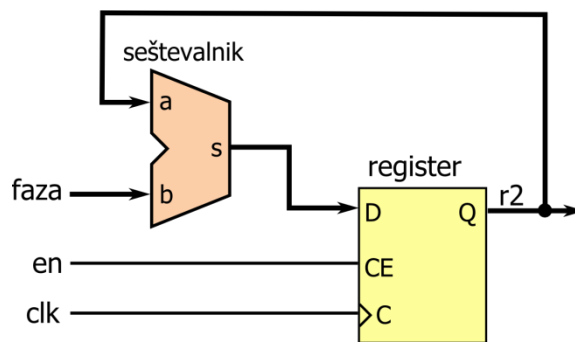
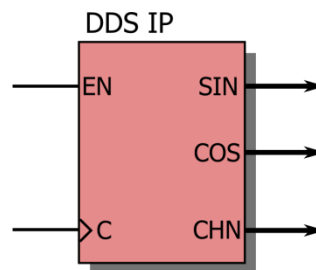
|                    |                              |
|--------------------|------------------------------|
| aplifikacija       | programi                     |
| operacijski sistem | gonilniki                    |
| arhitektura        | operacije<br>registr         |
| micro-arhitektura  | podatkovni in<br>krmilni del |
| logika             | števec<br>pomnilnik          |
| digitalna vezja    | IN vrata<br>negator          |
| analogna vezja     | ojačevalnik<br>pretvornik    |
| elementi           | transistorji<br>diode        |
| fizika             | elektroni                    |



# Prototip vezja



# Logični model



# Načrtovanje

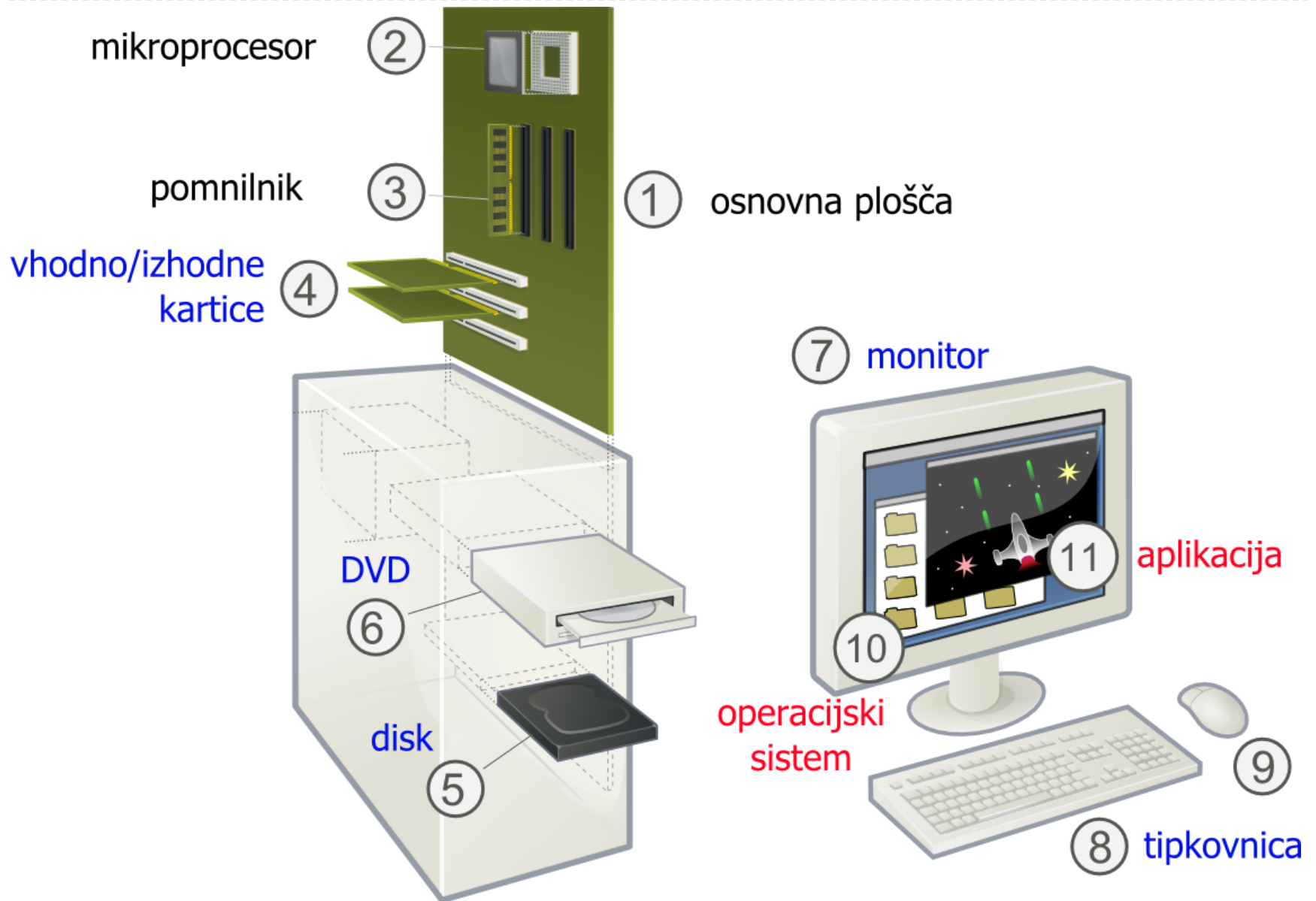
digitalni sistem

komponente  
intelekt. lastnine

gradniki  
integrirano vezje

osnovni elementi

# Digitalni sistem: osebni računalnik



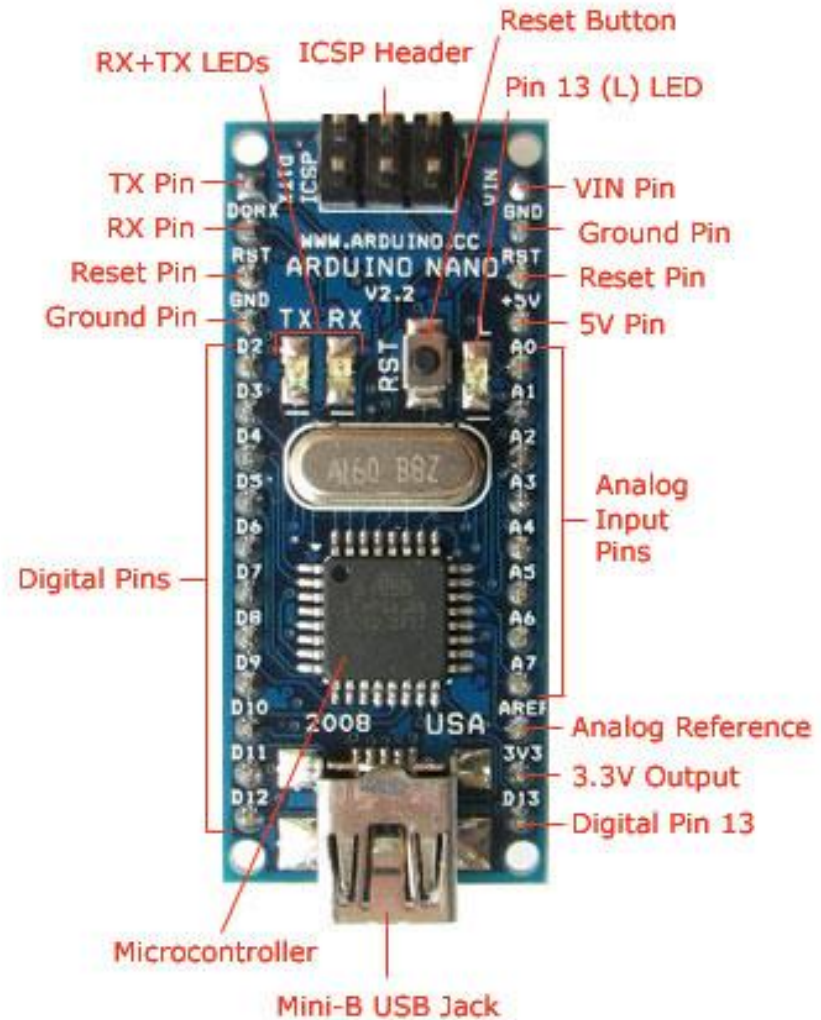
# Računalnik na enem tiskanem vezju

- ▶ Single Board Computer
  - ▶ mikroprocesor, pomnilnik in FLASH disk
  - ▶ vhodno / izhodne enote: USB, Ethernet, RS232
  - ▶ prilagojen operacijski sistem in vzajemne (interactive) aplikacije



# Računalnik na integriranem vezju (čipu)

- ▶ mikrokontroler (Microcontroller)
  - ▶ mikroprocesor,
  - ▶ pomnilnik (RAM in FLASH) in
  - ▶ vhodno / izhodne enote na čipu.
  - ▶ enostaven odzivni (reactive) operacijski sistem in aplikacija



# Vgrajeni sistemi (Embedded System)

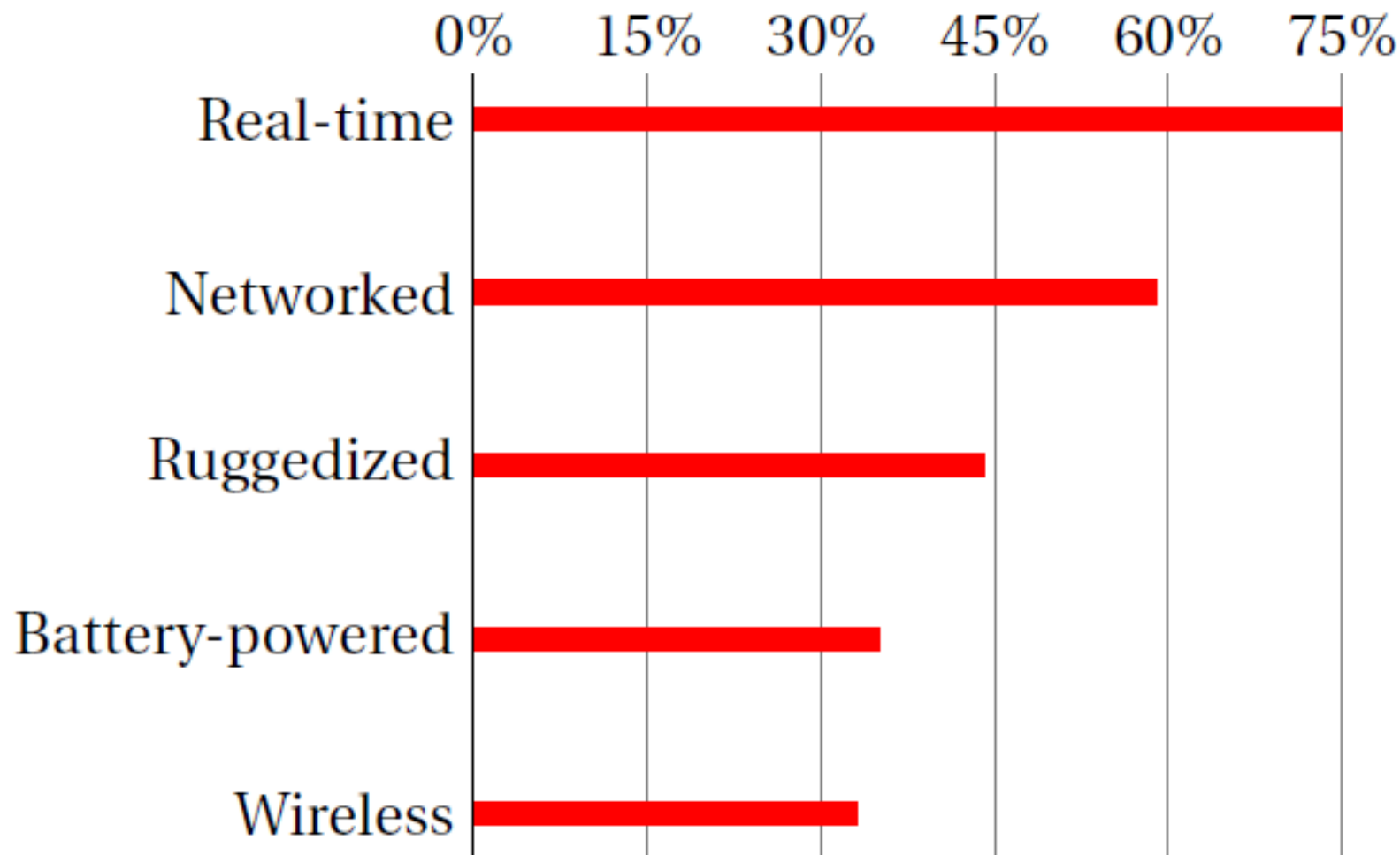
---

- ▶ Definicija vgrajenega sistema (IEEE 1992)

*„A computer system  
that is part of a larger system  
and performs some of the requirements  
of that system.“*

## Skupne značilnosti vgrajenih sistemov

---

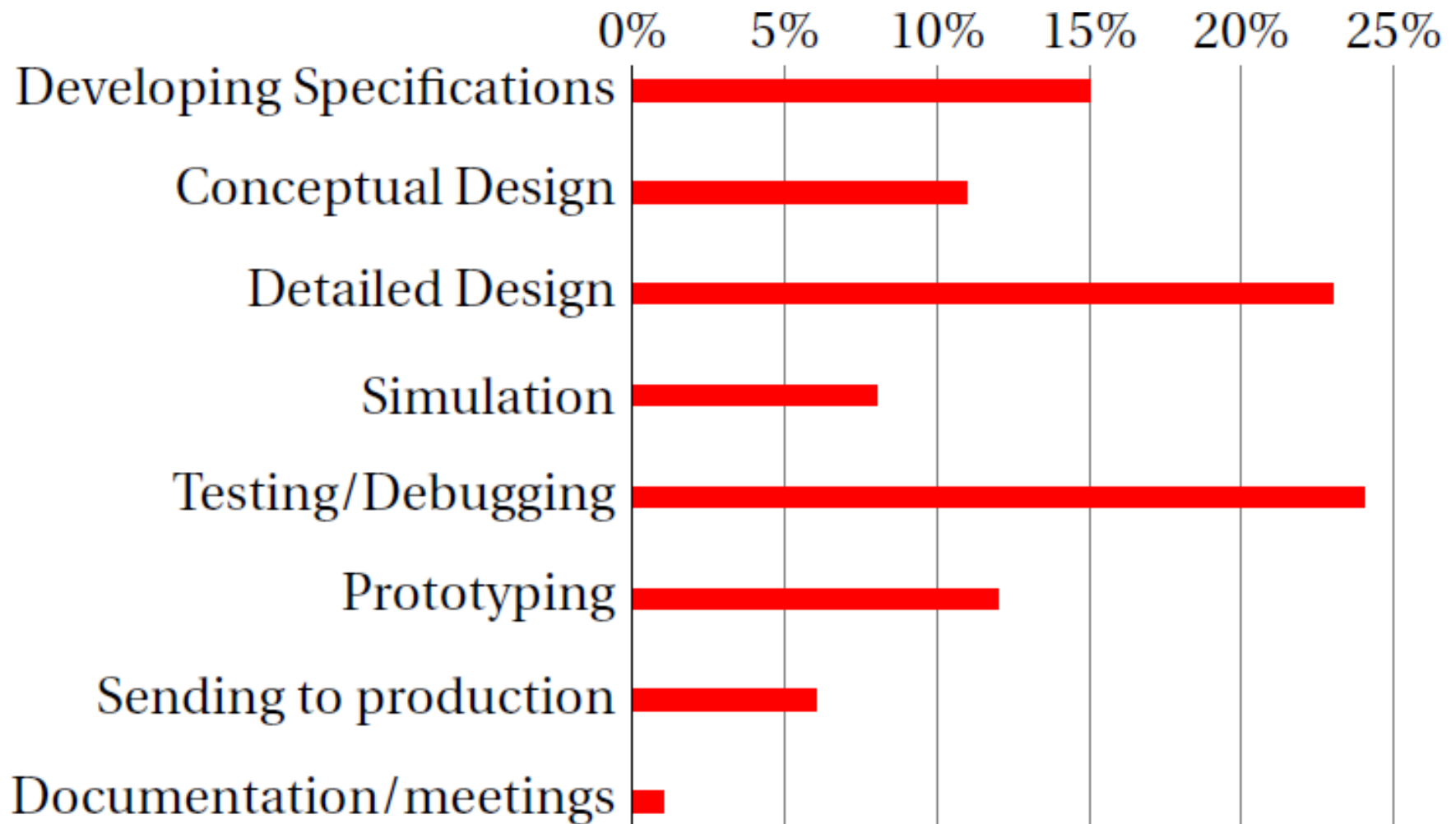


- 60 % vsebuje več različnih integriranih vezij
- 45% vsebuje programirljivo vezje (FPGA)

Source: 2009 Embedded Market Study

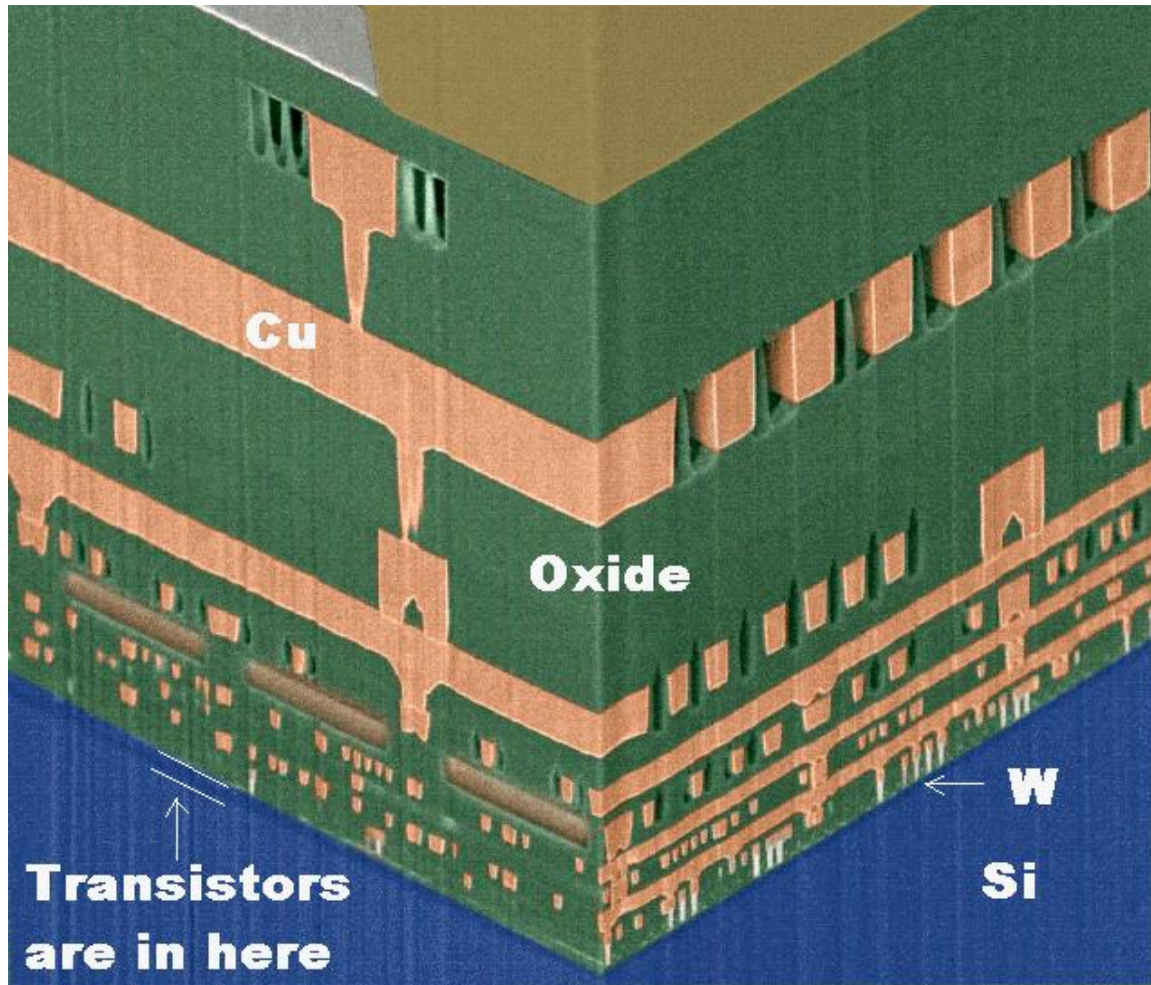
# Časovna delitev razvoja sistema

---

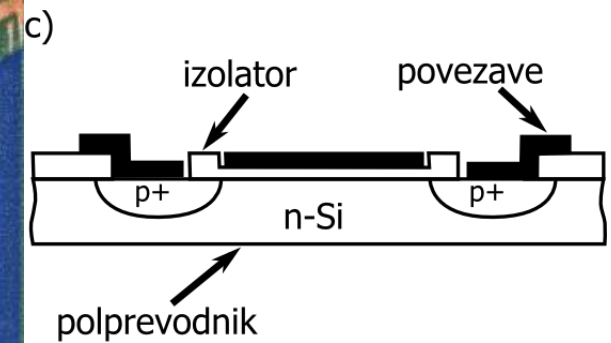
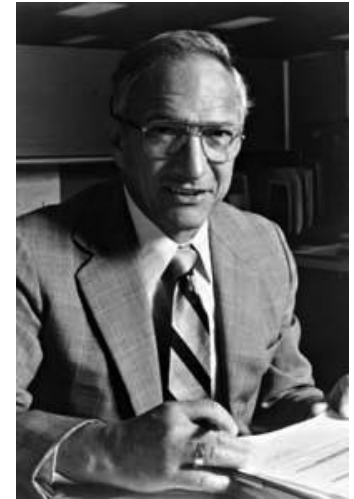


Source: 2009 Embedded Market Study

# Razvoj: Robert Noyce in integrirana vezja



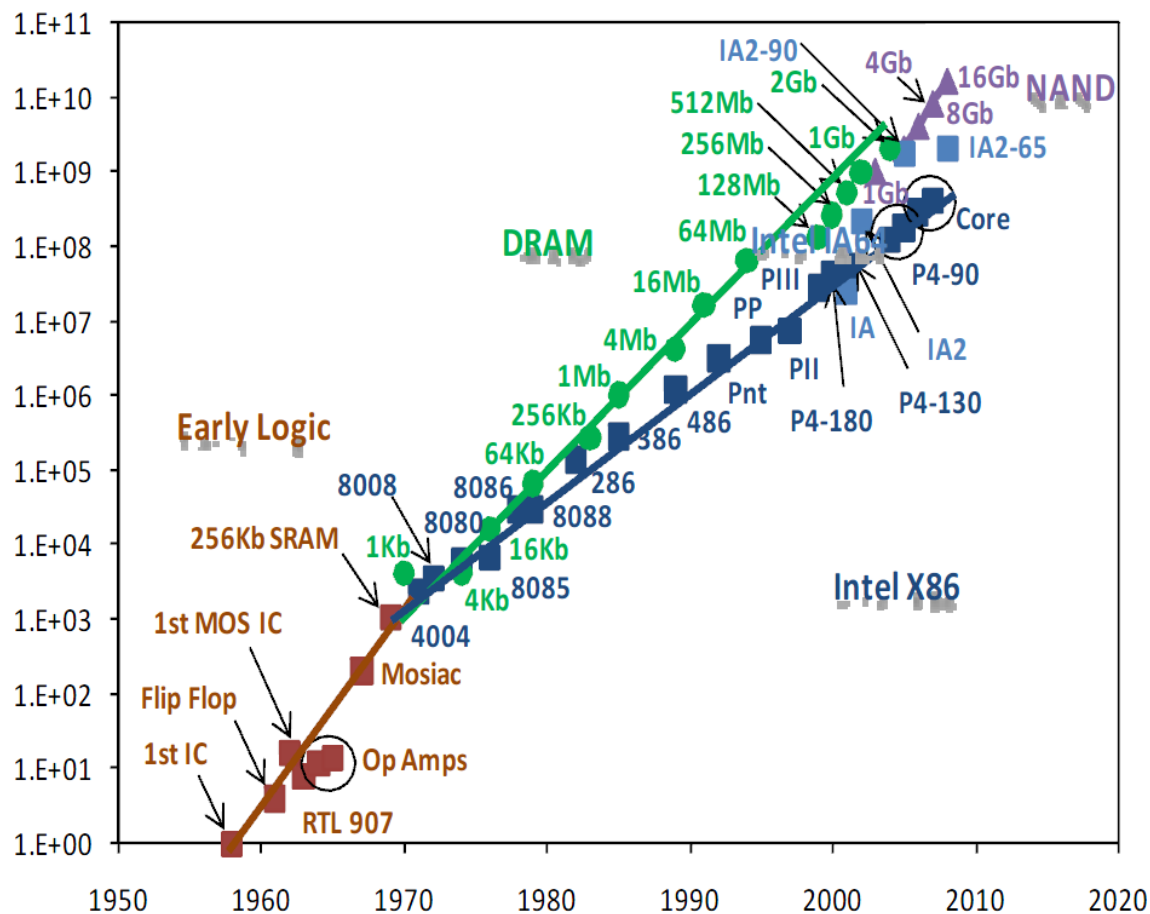
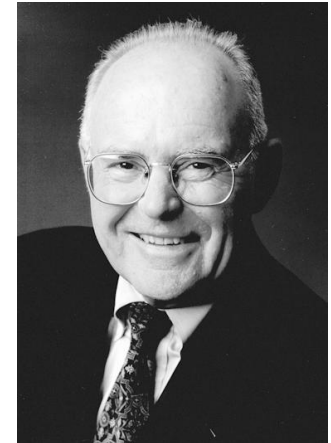
onsko  
no vezje



Sodobno integrirano vezje v ohišju QFP (a) in BGA (b), prerez silicijeve rezine z vezjem (c)

# Gonilo razvoja: Moorov zakon

- ▶ Gordon Moore in R. Noyce ustanovila Intel 1968
- ▶ Moorov zakon: število transistorjev na čipu se podvoji vsako leto (od leta 1975)



- ▶ Def: integrirano vezje, ki izvaja vse ali večino funkcij celotnega elektronskega sistema
- ▶ Za sisteme je značilna kompleksnost
  - ▶ komponente so lahko zelo velika vezja (npr. RAM), a imajo enostavno strukturo
- ▶ Sistem lahko vsebuje analogne komp., vendar je večina sistema digitalno vezje
  - ▶ najbolj kompleksne funkcije lahko naredimo le z digitalnim vezjem

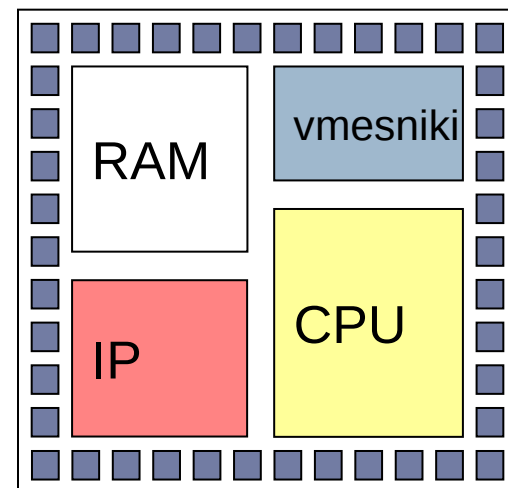
## System-on-Chip

procesor (CPU)

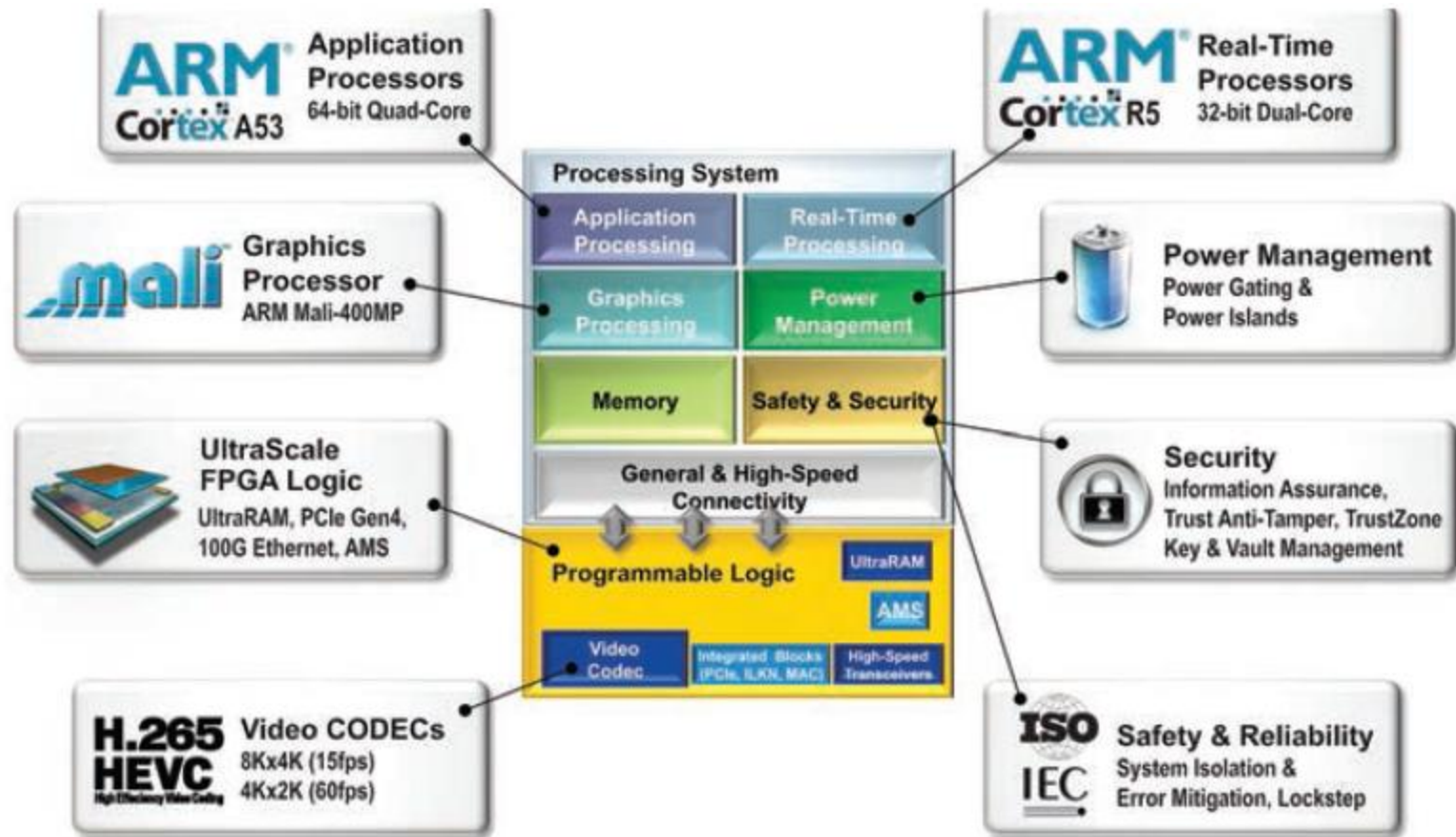
Pomnilnik (RAM, flash)

Komunikacijski vmesnik

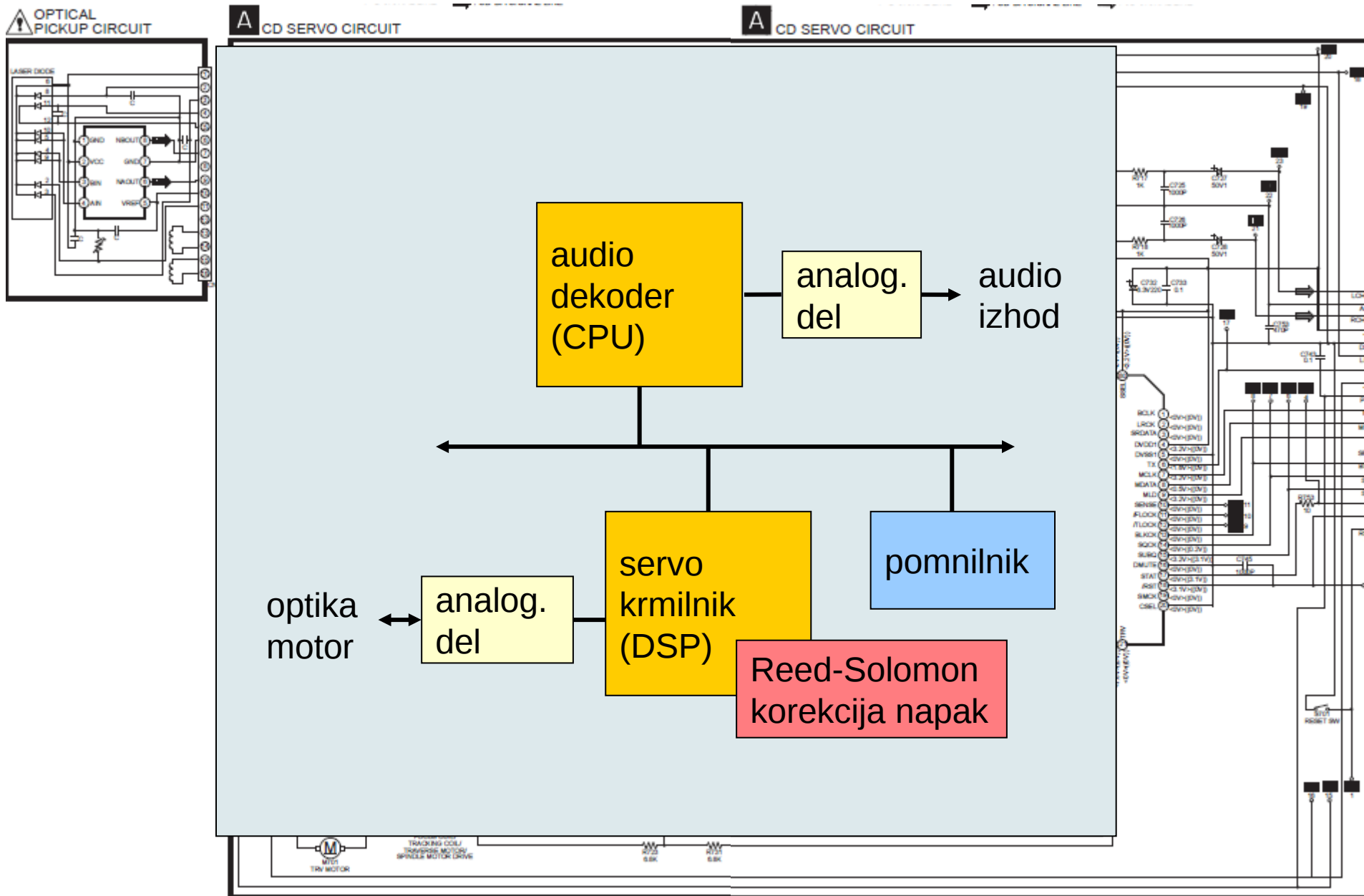
Namenska vezja (IP)



# Sistem na čipu



# Naprava: predvajanje glasbe



# Prednosti digitalne tehnike

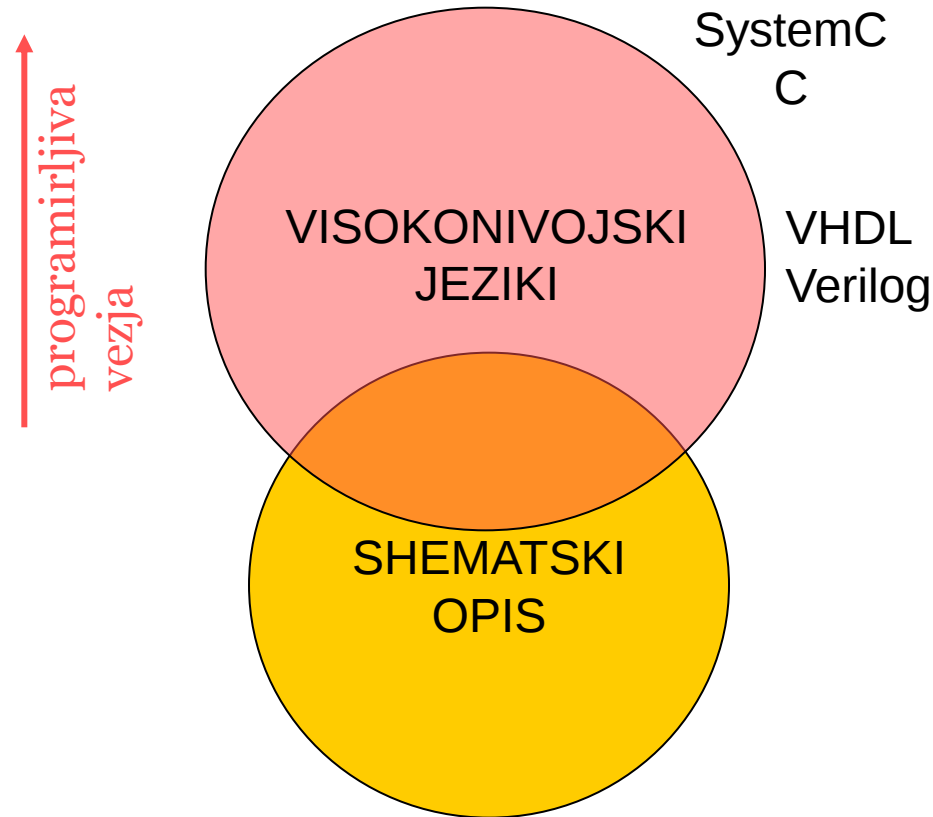
---

- ▶ Digitalni signal je neobčutljiv na motnje, ki jih poznamo iz analognih sistemov
- ▶ Digitalna vezja so učinkovita in ekonomična pri obdelavi signalov
- ▶ Nekateri algoritmi lahko naredimo le z digitalnim vezjem
  - ▶ npr. algoritme za zgoščevanje signala, ki zmanjšajo zahteve pri shranjevanju in prenosu podatkov

# Opis (modeliranje) digitalnih vezij

## Nivoji opisa vezja:

- ▶ specifikacija
  - ▶ postopkovni (behavioral)
  - ▶ funkcijski (dataflow, RTL)
  - ▶ logični
- 
- ▶ nivo transistorjev
  - ▶ geometrija vezja (layout)
- 
- ▶ Standardizirani jeziki (IEEE)
    - ▶ VHDL
    - ▶ Verilog, System Verilog
    - ▶ SystemC



# Načrtovanje s programirljivimi vezji

1. Opis vezja in simulacija (Design Entry Utilities)
2. Sinteza logičnega vezja (Synthesize)
3. Prevajanje in tehnološka preslikava
  - določimo lokacije priključkov (User Constraints)
4. Izdelava prog. datotek in nalaganje vezja

## Proces za CPLD



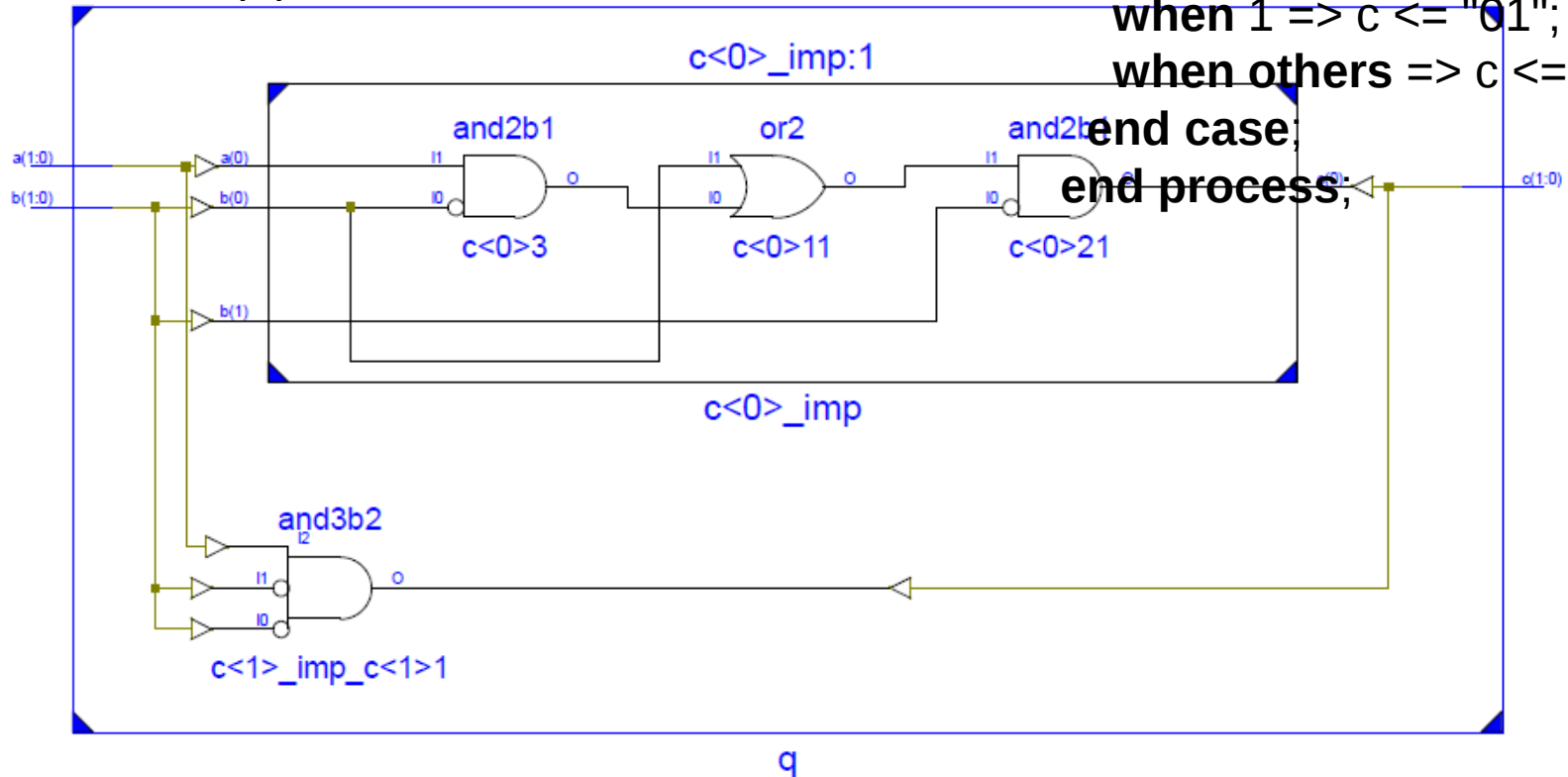
## Proces za FPGA



# Kaj dela opisano vezje?

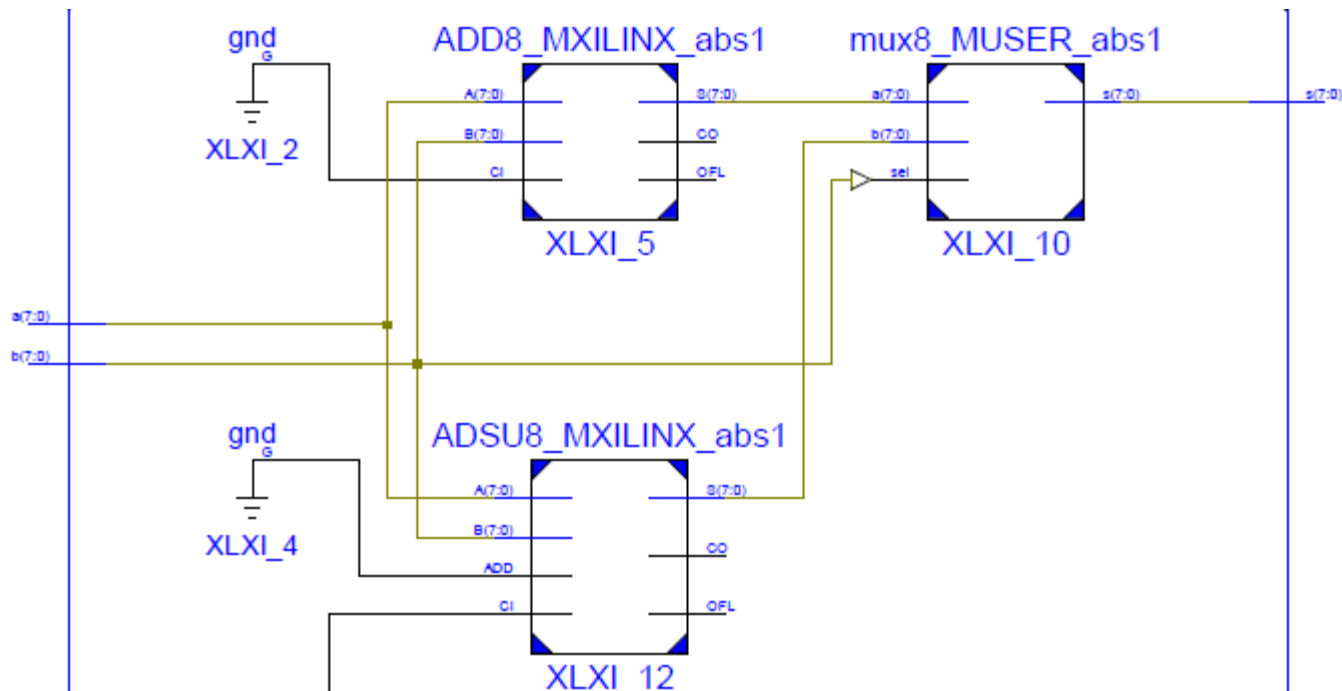
**always @ (a or b)**  
**case (b)**

```
process (a, b)
begin
  case b is
    when 0 => c <= a;
    when 1 => c <= "01";
    when others => c <= "00";
  end case;
end process;
```



# Izbirni stavek

- ▶ Primer:  $c \leq a+b$  when  $b > 0$  else  $a-b$ ;
- ▶ Kaj naredi program za sintezo vezja?
  - ▶ operatorji +, - so kombinacijska vezja ADD {14}, ADSU {13}
  - ▶ izbirni stavek when ... else je izbiralnik MUX {8 celic}

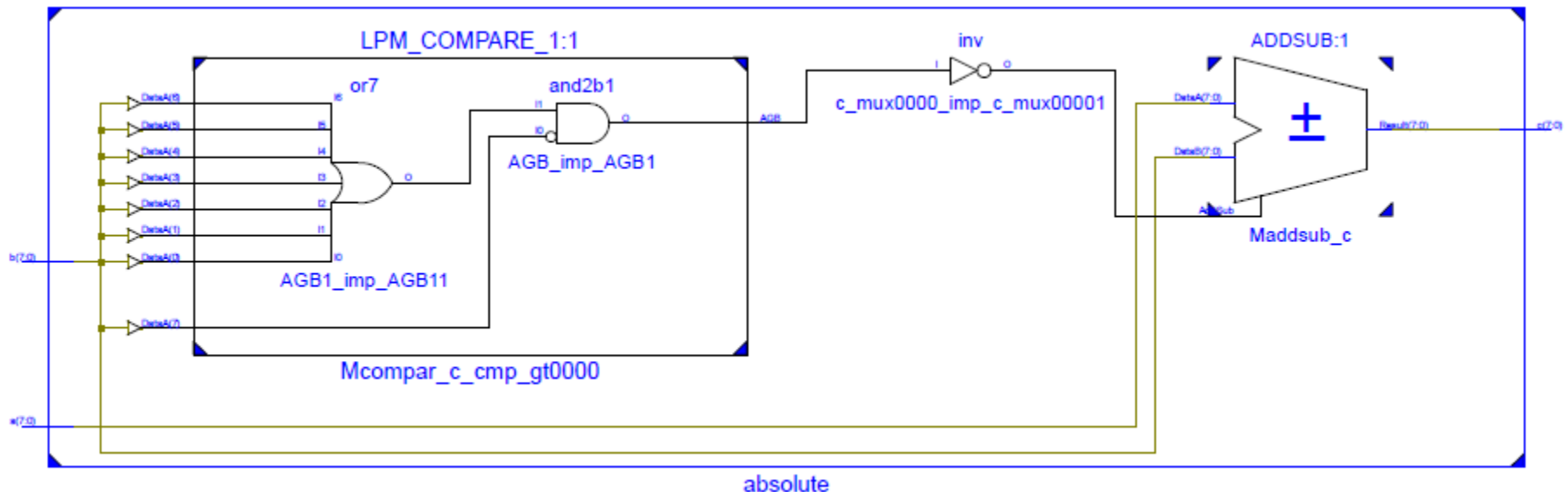


zasedenost  
CPLD virov:  
{21, 63, 0}

celic      termov      flip-flopov

# Postopek sinteze vključuje optimizacijo

- ▶ Stavek:  $c \leq a+b$  when  $b > 0$  else  $a-b$ ;
  - ▶ primerjalnik (or7, and2) in ADDSUB blok
  - ▶ zasedenost 19 / 55 / 0



- ▶ Drug zapis:  $c \leq a+b$  when  $b \geq 0$  else  $a-b$ ;
  - ▶ zasedenost 17 / 53 / 0

# Načrtovanje na nivoju registrov

- ▶ **RTL**: delitev na krmilni in podatkovni del
- ▶ določitev zaporedja operacij (avtomat)
- ▶ opis gradnikov na podatkovni poti

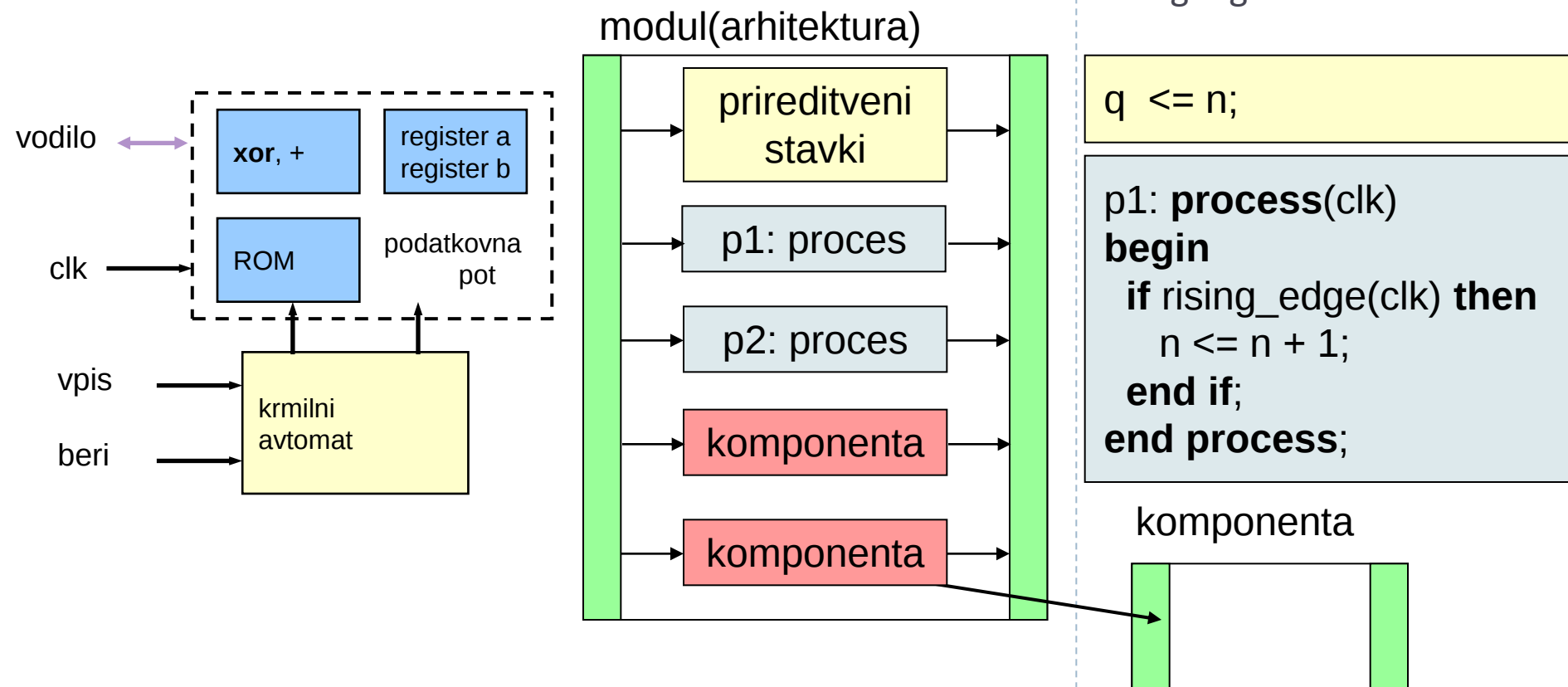
## VHDL

Very high-speed IC

Hardware

Description

Language

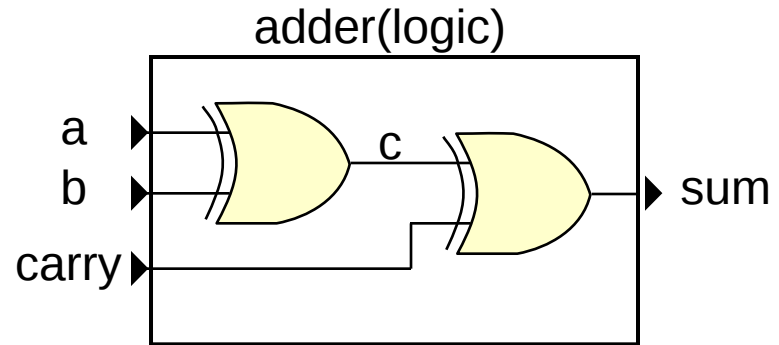


# Funkcijski opis vezja v jeziku VHDL

- ▶ stavki opisujejo gradnike vezja
  - ▶ stavki za opis vezja se izvajajo paralelno
  - ▶ vrstni red stavkov ni pomemben (sočasni stavki)

```
entity adder is  
  port ( a, b : in std_logic;  
         carry : in std_logic;  
         sum : out std_logic);  
end adder;
```

```
architecture logic of adder is  
  signal c : std_logic;  
begin  
    sum <= c xor carry;  
    c <= a xor b;  
end one;
```



deklaracija notranjega signala

# Postopkovni opis vezja v jeziku VHDL

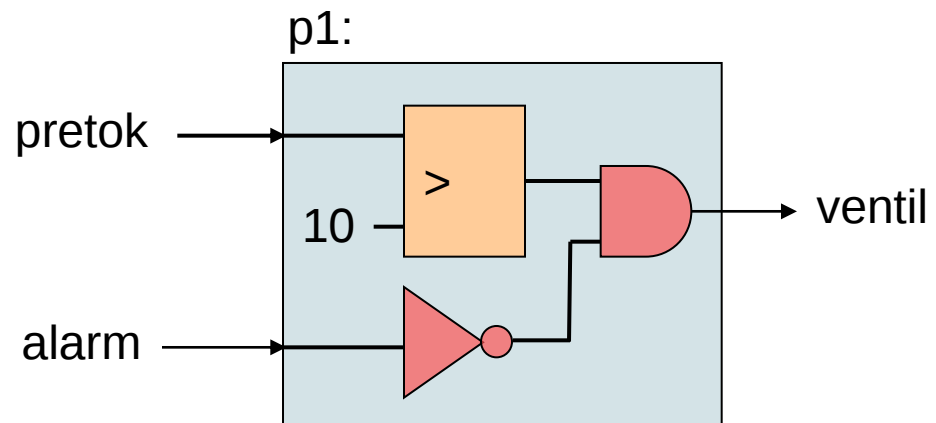
- ▶ v procesu opišemo delovanje vezja
  - ▶ zgradbo vezja določi program za sintezo vezij
  - ▶ vrstni red stavkov je pomemben (sekvenčni stavki)

arhitektura

**p1: process**

```
ventil <= '0';  
if pretok > 10 then  
    ventil <= '1';  
end if;  
if alarm = '1' then  
    ventil <= '0';  
end if;
```

**end process;**



# Povzetek

---

- ▶ Kaj so vgrajeni digitalni sistemi?
  - ▶ Naštej nekaj tehnoloških izvedb.
- ▶ Naštej nivoje modeliranja digitalnih vezij.
  - ▶ Katere nivoje obsega opis vezja v jeziku VHDL?
- ▶ Opiši postopek (korake) načrtovanja digitalnih sistemov s programirljivimi vezji (CPLD, FPGA).