



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



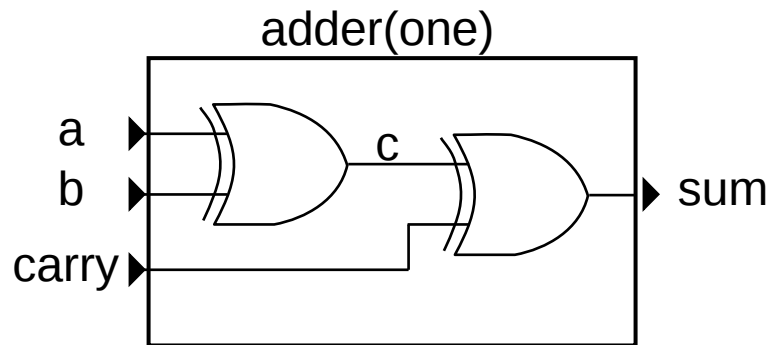
Digitalni Elektronski Sistemi

Model vezja

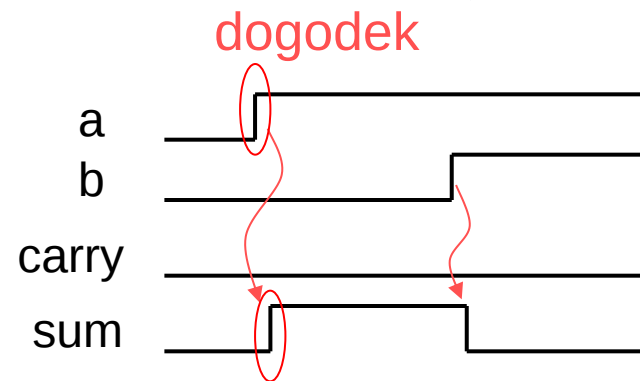
Računalniški model in realno vezje

Obravnava VHDL modelov vezij

```
architecture logic of adder is  
  signal c : std_logic;  
begin  
  sum <= c xor carry;  
  c <= a xor b;  
end one;
```

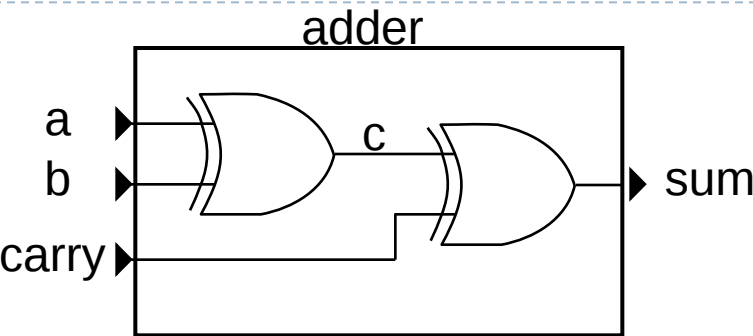


Sintetizirano vezje

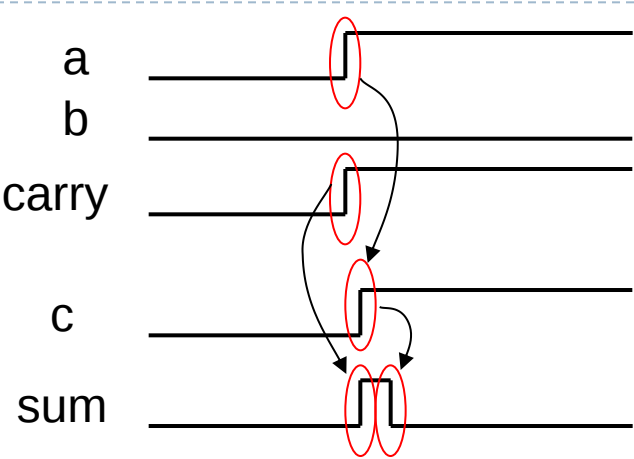


Graf simulacije (waveform)

Potek simulacije



dogodek



Seznam dogodkov:

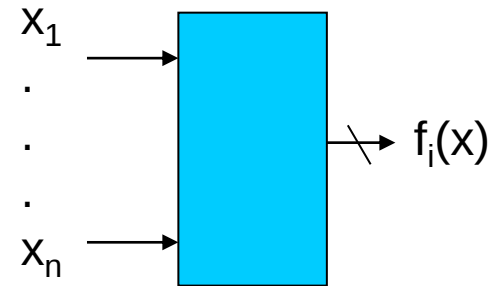
a 0, **1 (T)**

carry 0, **1 (T)**

korak	čas	a	b	carry	sum	c
seznam	0	0, 1(T)	0	0, 1(T)	0	0
izvrši	T	1	0	1	0	0
izračunaj	T	1	0	1	1(T+Δ)	1(T+Δ)
izvrši	T+Δ	1	0	1	1	1
izračunaj	T+Δ	1	0	1	0(T+2Δ)	1
izvrši	T+2Δ	1	0	1	0	1

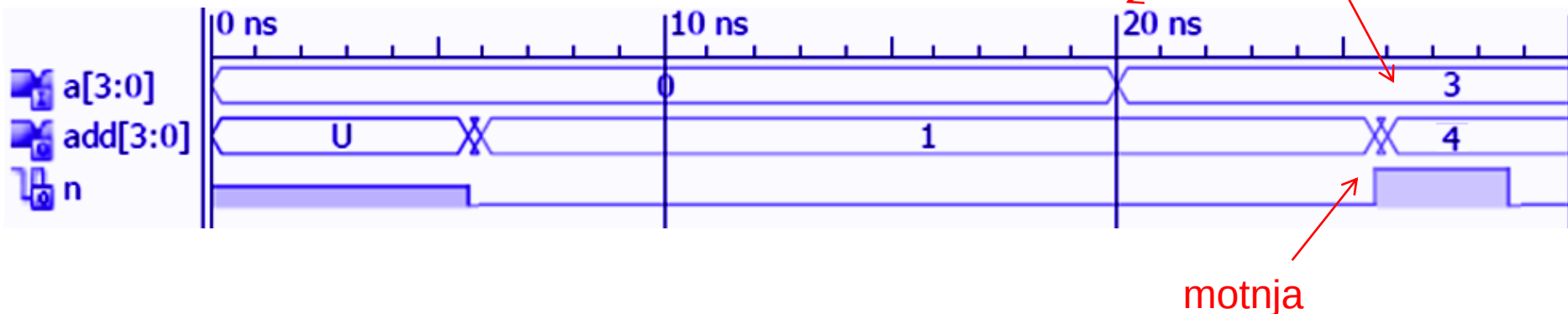
Lastnosti realnih kombinacijskih vezij

- ▶ Izhod se spremeni z zakasnitvijo ($\Delta > 0$)
 - ▶ v času spremembe so na izhodu motnje!

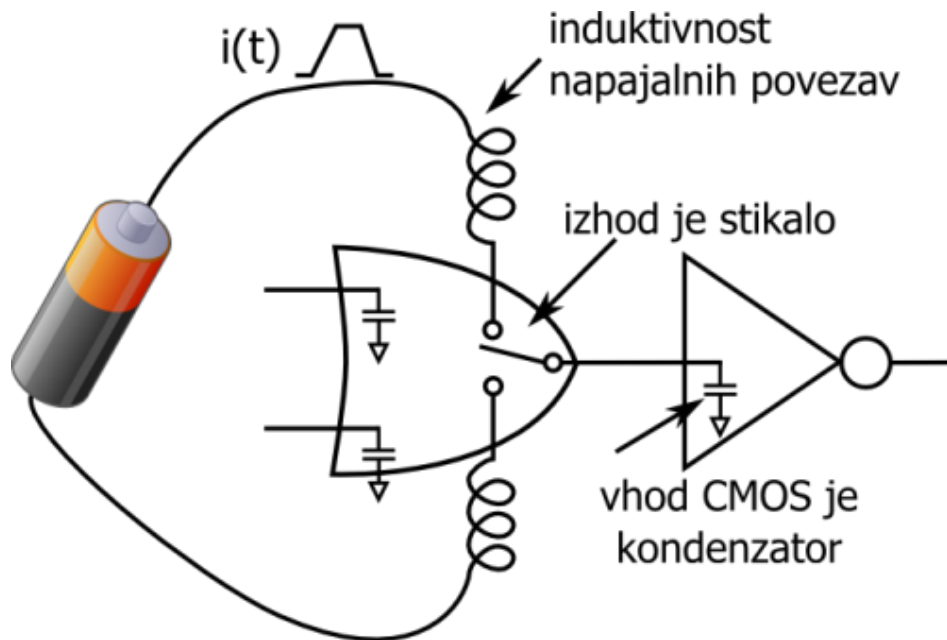


- ▶ Primer: seštevalnik in primerjalnik

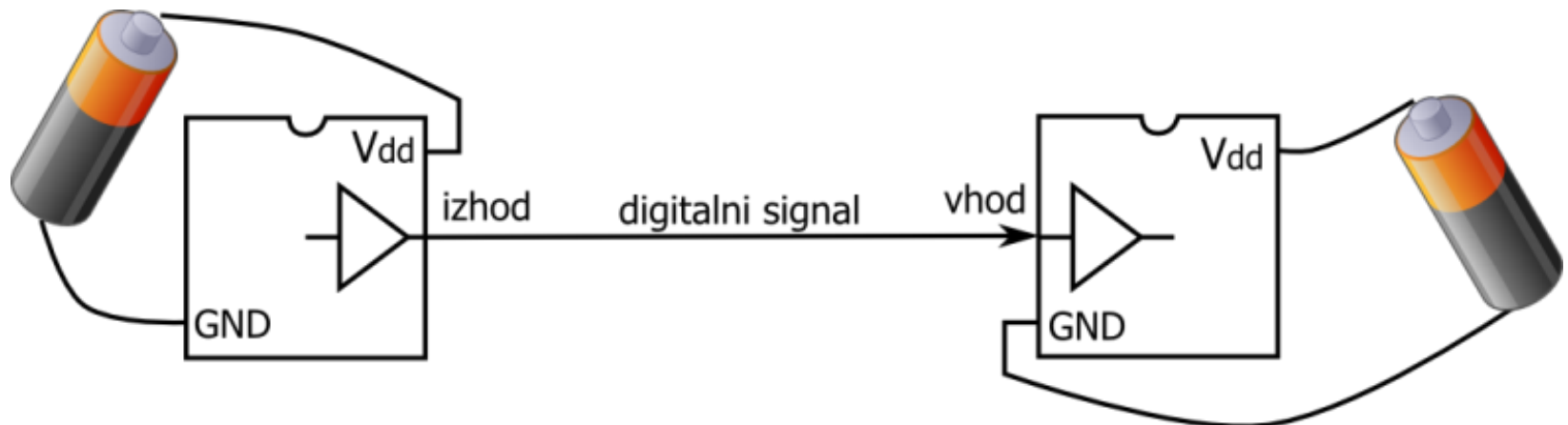
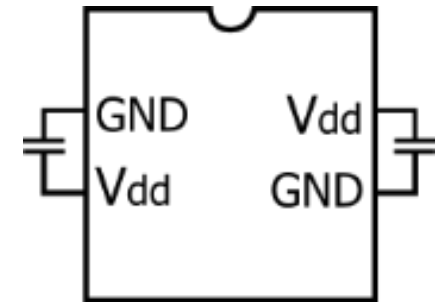
```
add <= a + 1;  
n <= '1' when add=0 else '0';
```



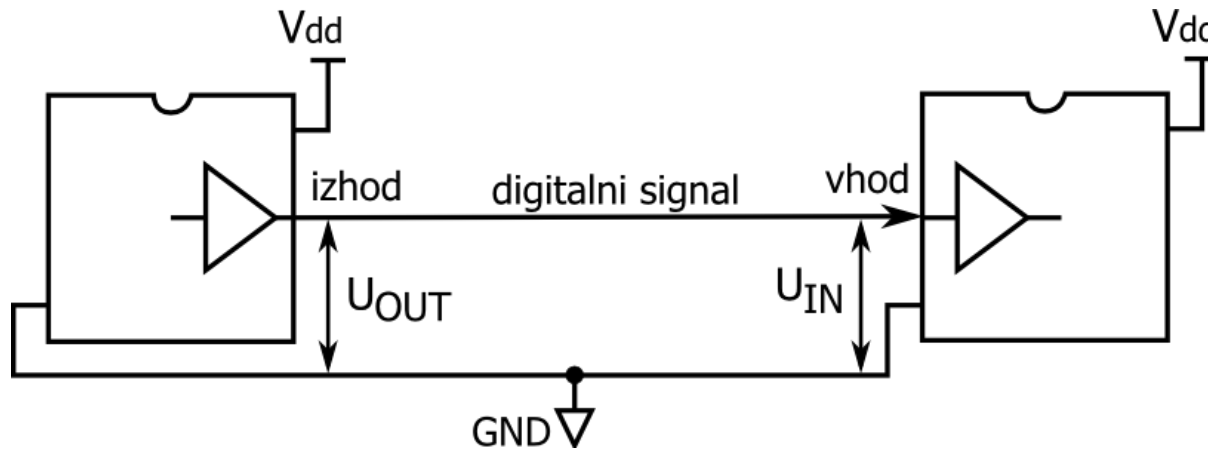
Realni signali v digitalnem vezju



kondenzatorji na
napajal. priključkih

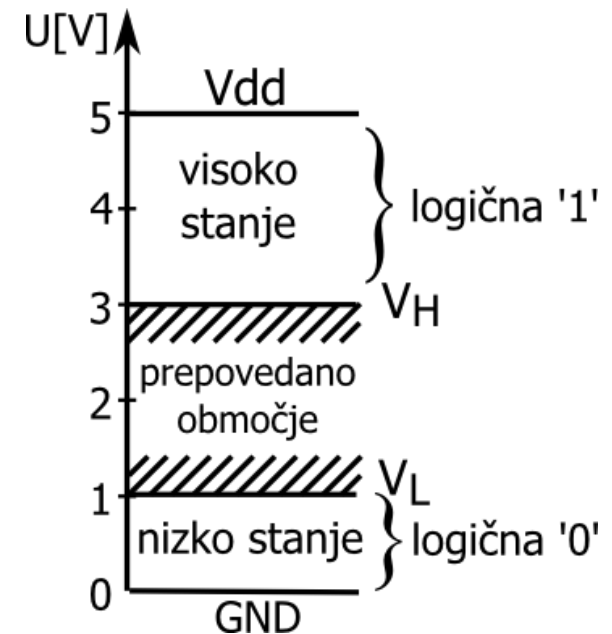


Prenos signalov: statični red

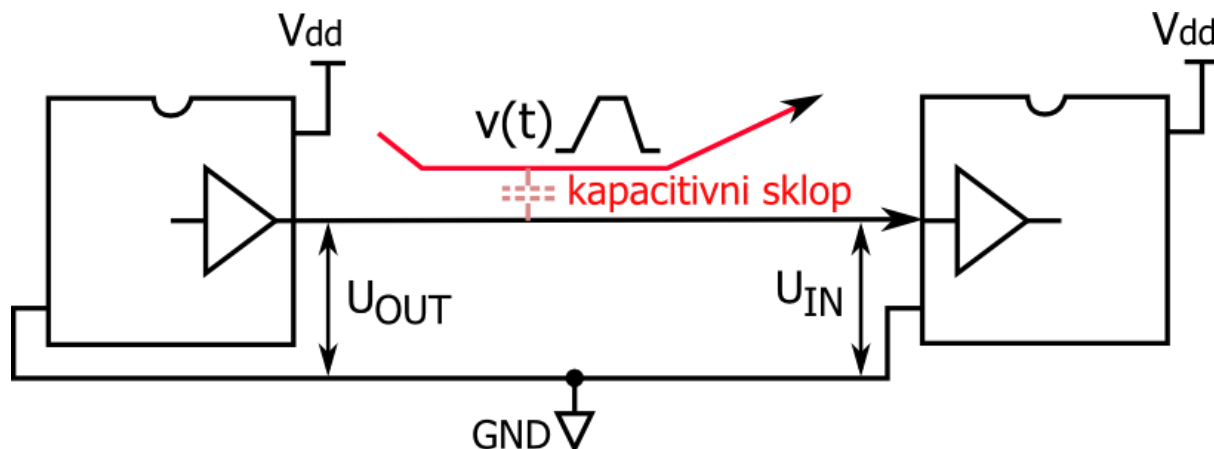


logična '0': $0V \leq V_L \leq 1V$

logična '1': $3V \leq V_H \leq 5V$

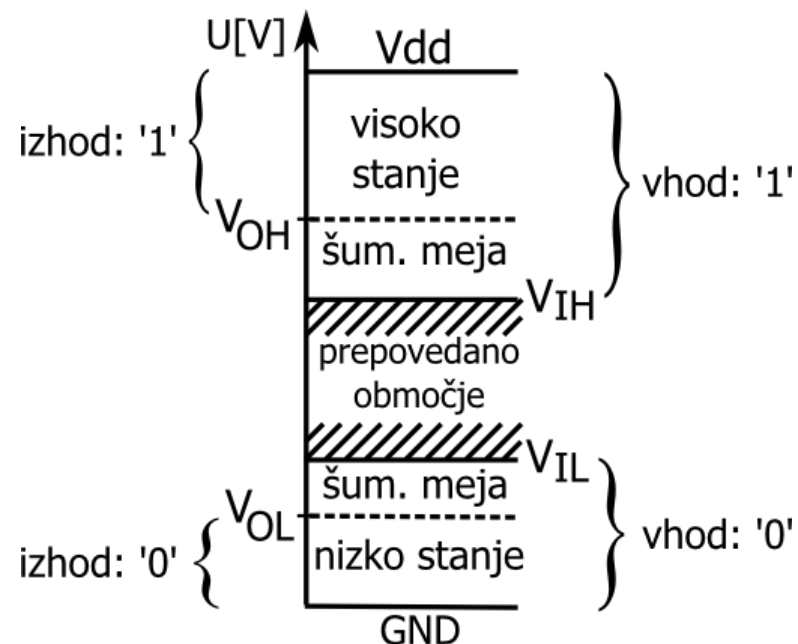


Prenos signalov: statični red



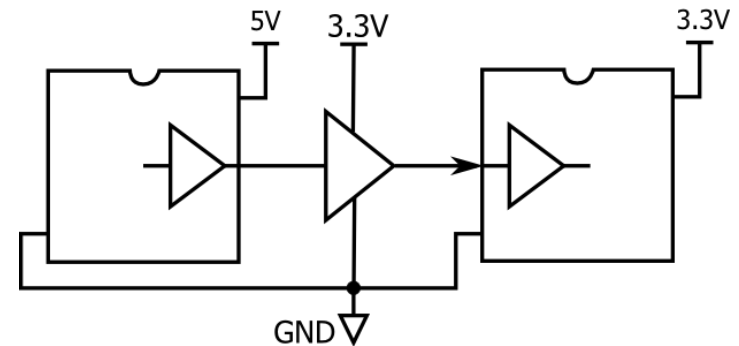
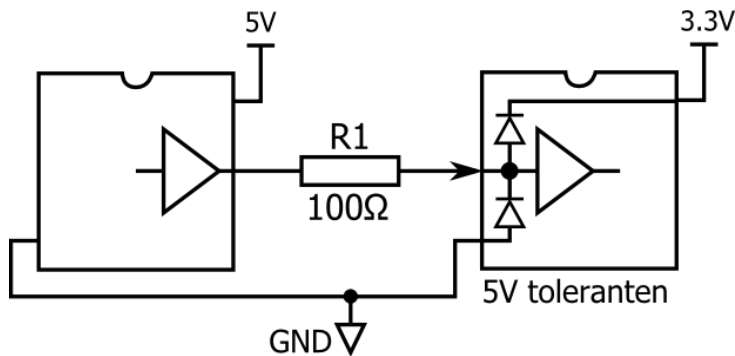
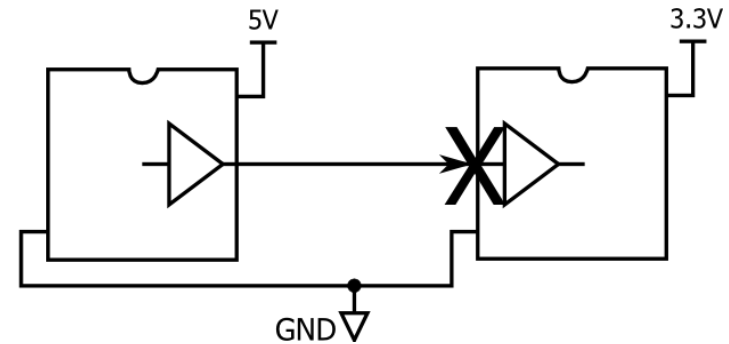
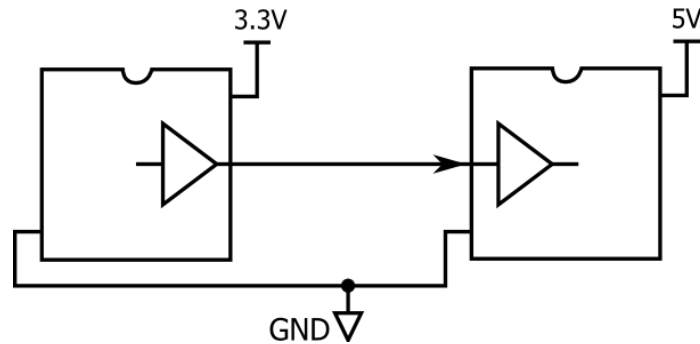
► Npr. 5V CMOS

oznaka	pomen	napetost[V]
V_{IH}	vhodni visok nivo	3
V_{IL}	vhodni nizek nivo	1
V_{OH}	izhodni visok nivo	3.1
V_{OL}	izhodni nizek nivo	0.2



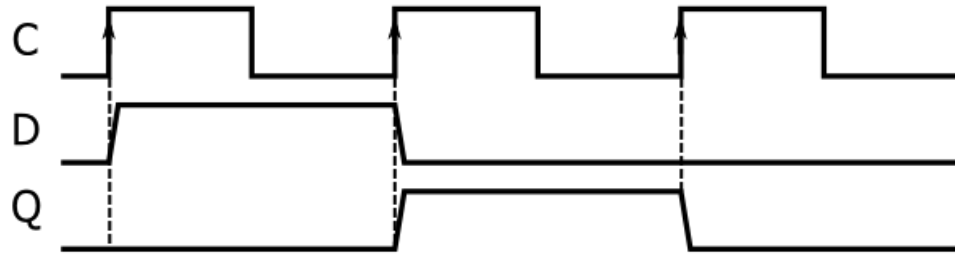
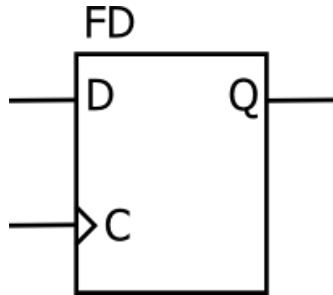
Statični red v praksi

- Povezave med CVMOS (5V) in LVCMOS (3.3V)
 - iz 3.3V na 5V gre, v obratni smeri pa je potrebna prilagoditev



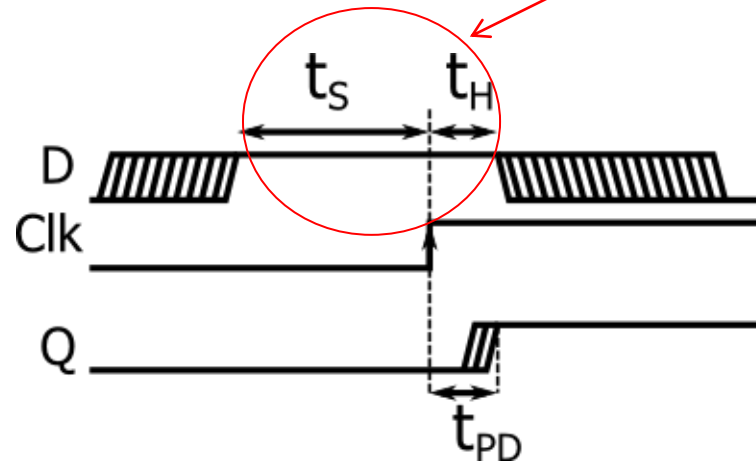
Časovni parametri flip-flopa

► flip-flop D in idealni časovni diagram



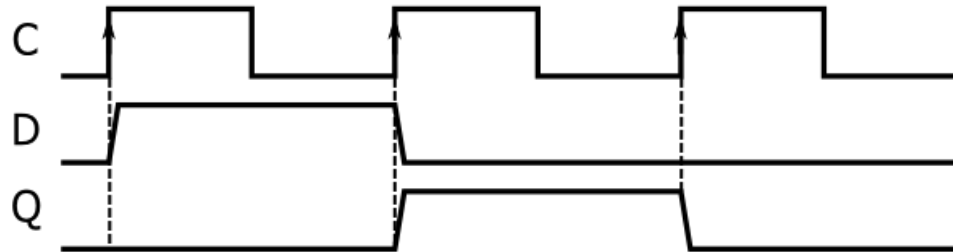
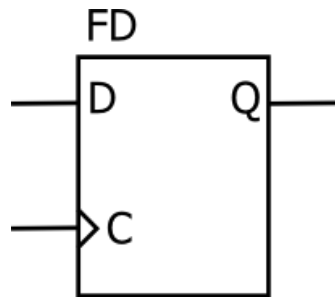
► Realni časovni diagram:

vhod se ne sme spreminjati !

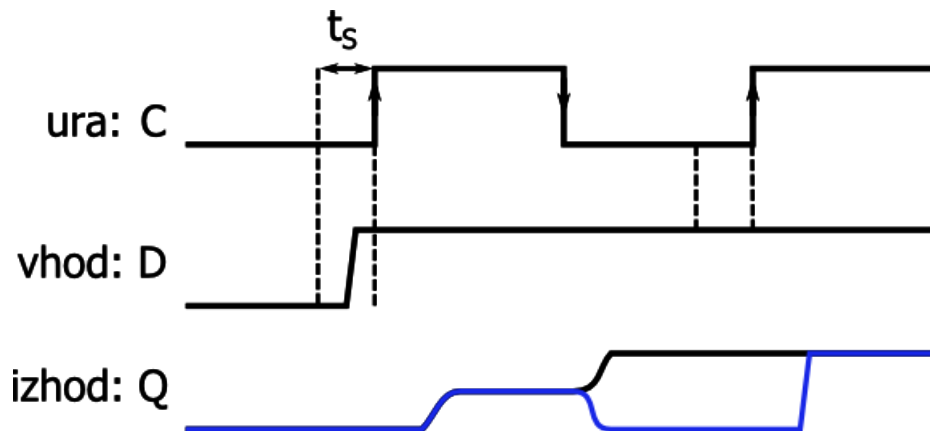


Časovni parametri flip-flopa

- flip-flop D in idealni časovni diagram

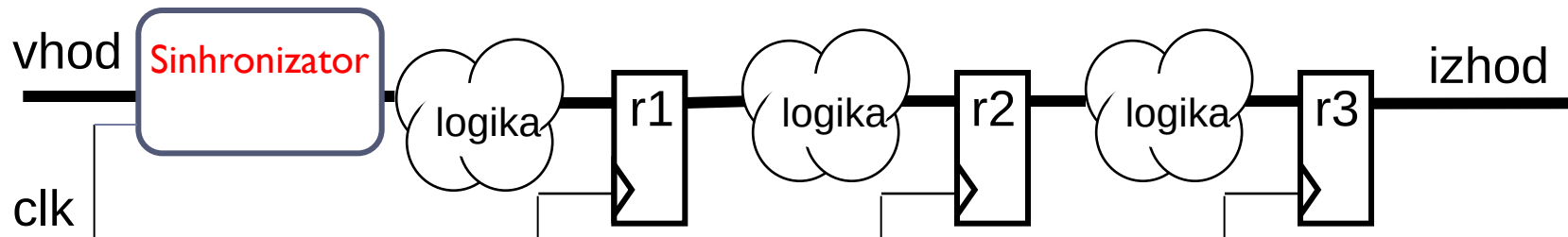


- Kršitev t_s , t_H lahko privede do metastabilnega stanja

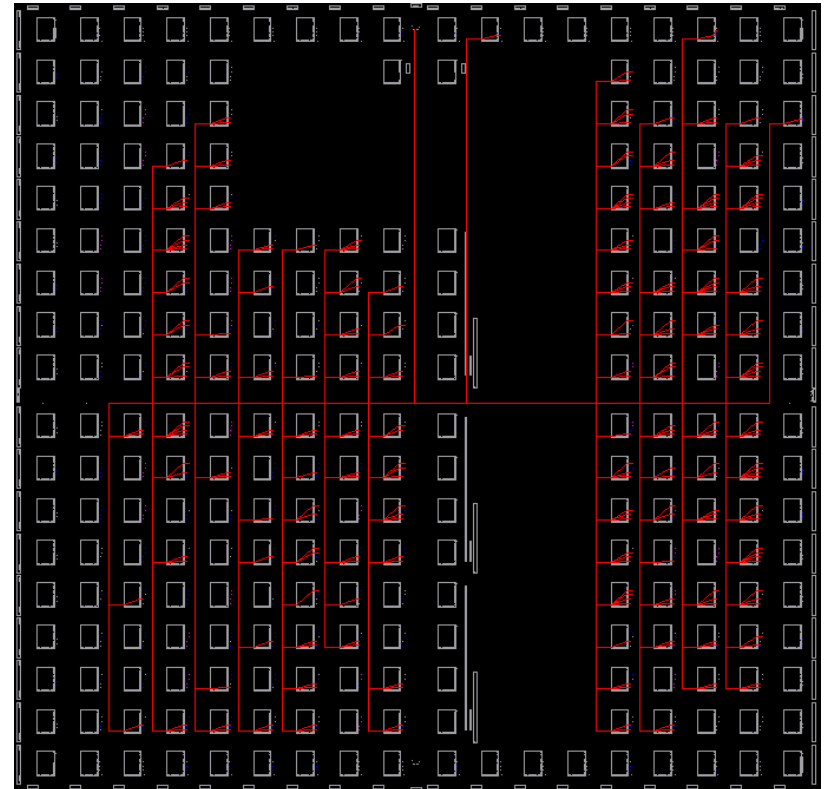


Dinamični red

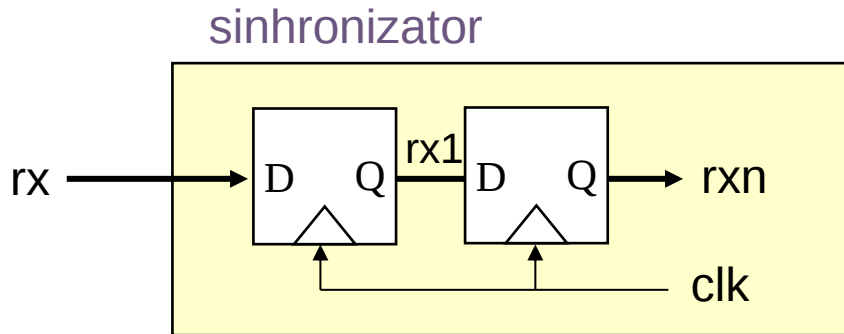
- ▶ Kako zagotovimo, da bo sekvenčno vezje pravilno delovalo?



- ▶ enake zakasnitve ure do vseh celic (drevo H)
- ▶ sinhronizacija vhodov v vezje

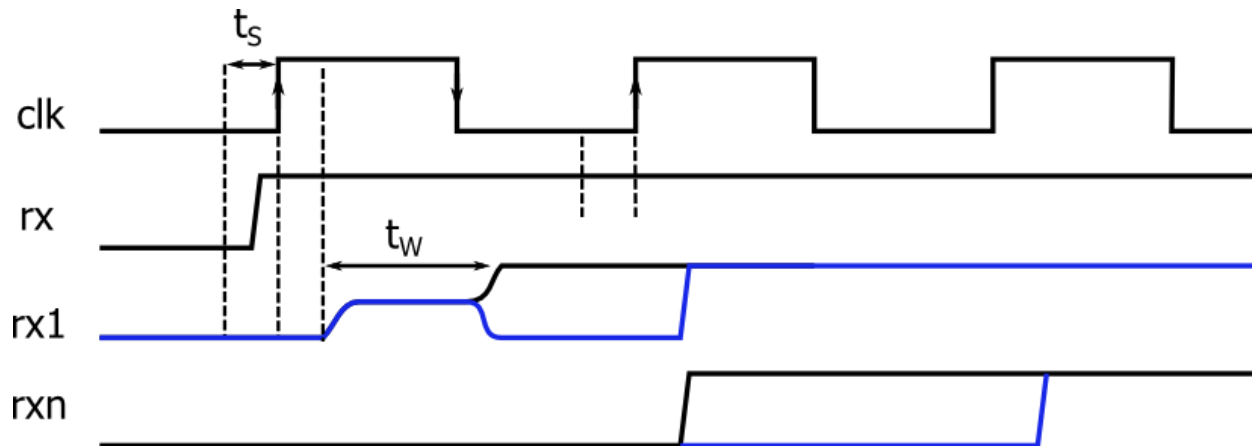


Sinhronizacija z dvema flip-flopoma

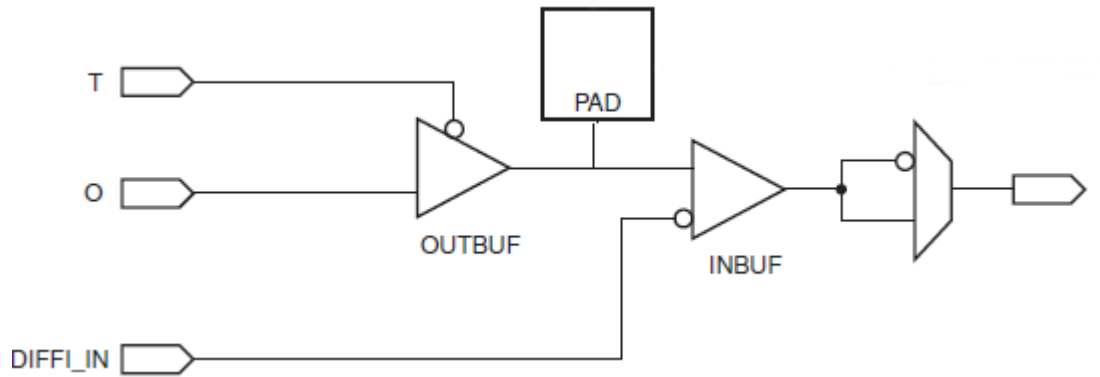


- ▶ prvi FD gre lahko v metastabilno stanje, ki se stabilizira na izhodu drugega, če je dovolj časa
- ▶ verjetnost za metastabilnost eksponentno pada s časom

$$P(\text{napake}) = P(\text{metastab stanja}) \times P(\text{ni še stabilno po } t_w)$$



Priključki digitalnega vezja



- ▶ vhodni / izhodni izravnalnik (IN / OUTBUF)
 - ▶ izhod je tristanski
 - ▶ vhod lahko dodatno zakasnimo (dinamični red)
- ▶ sinhronizacija podatkov
 - ▶ dodamo lahko register (FF) na vseh signalih
 - ▶ dvojni registri za DDR (Double Data Rate)
 - ▶ vmesnik SERDES za zelo hitro serijsko-paralelno pretvorbo