



Laboratorij za načrtovanje integriranih vezij

Univerza *v Ljubljani*
Fakulteta *za elektrotehniko*



Digitalni Elektronski Sistemi

Model vezja

Opis modela vezja v jeziku VHDL

Načrtovanje s programirljivimi vezji

1. Opis vezja in simulacija (Design Entry Utilities)
2. Sinteza logičnega vezja (Synthesize)
3. Prevajanje in tehnološka preslikava
 - določimo lokacije priključkov (User Constraints)
4. Izdelava prog. datotek in nalaganje vezja

Proces za CPLD

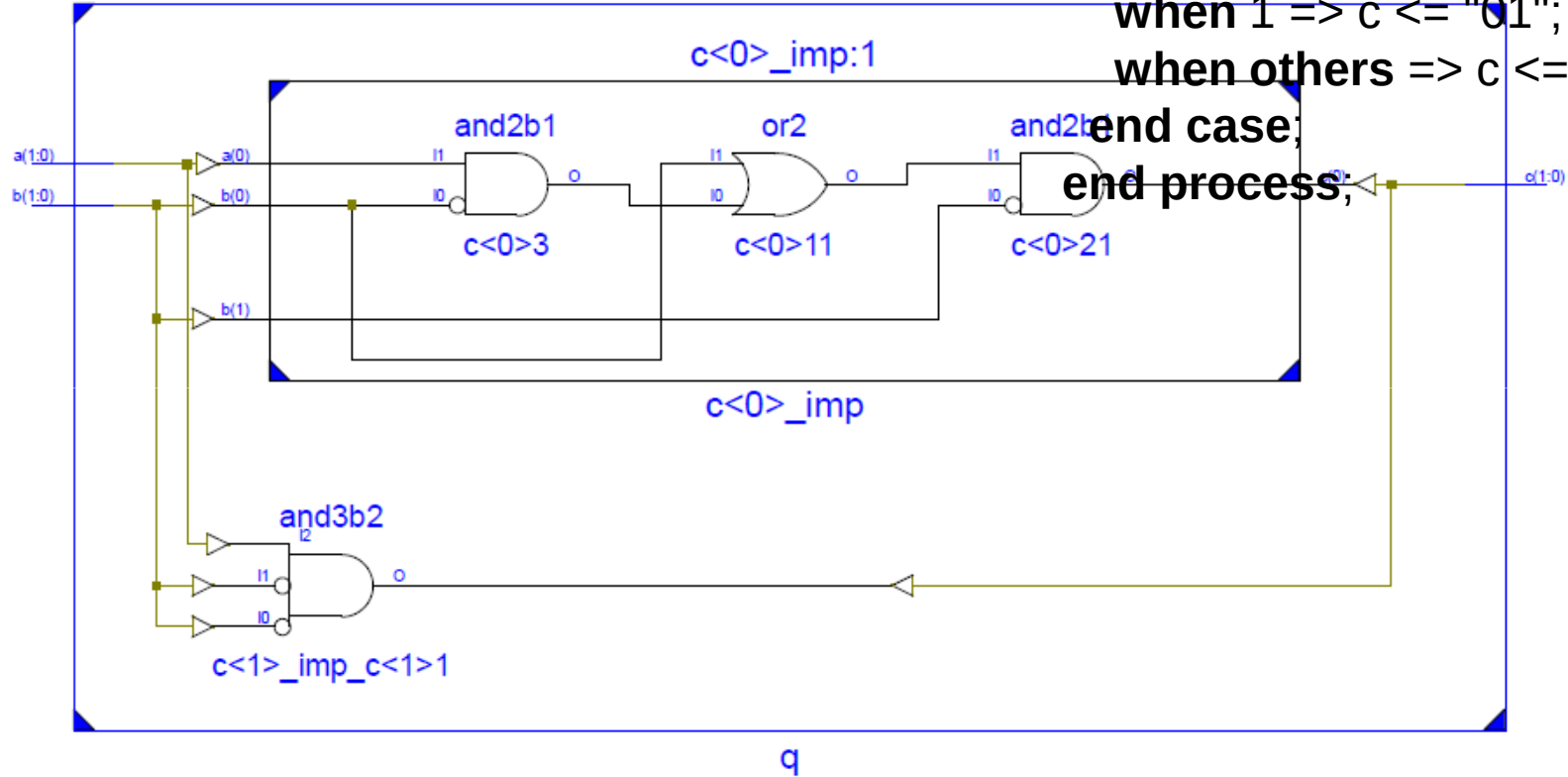


Proces za FPGA



Kaj dela opisano vezje?

always @ (a or b)
case (b)



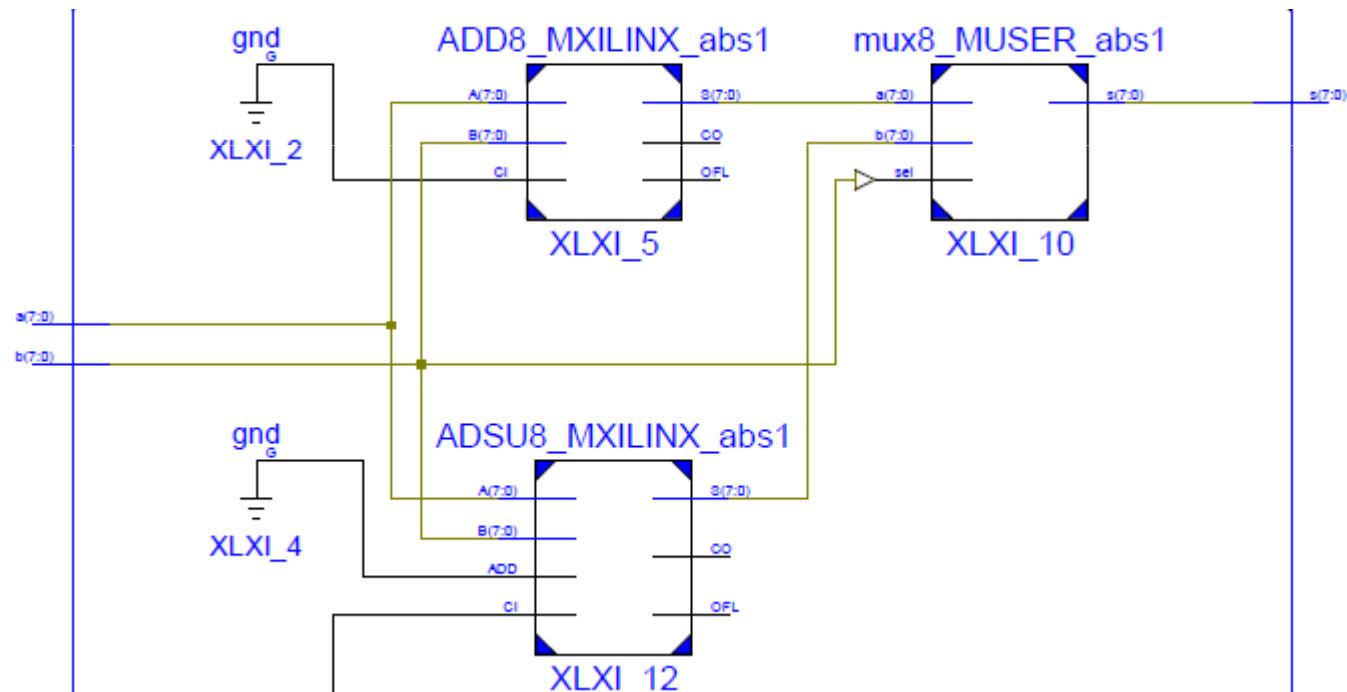
```

process (a, b)
begin
  case b is
    when 0 => c <= a;
    when 1 => c <= "01";
    when others => c <= "00";
  end case;
end process;

```

Izbirni stavek

- ▶ Primer: $c \leq a+b$ when $b > 0$ else $a-b$;
- ▶ Kaj naredi program za sintezo vezja?
 - ▶ operatorji +, - so kombinacijska vezja ADD {14}, ADSU {13}
 - ▶ izbirni stavek when ... else je izbiralnik MUX {8 celic}

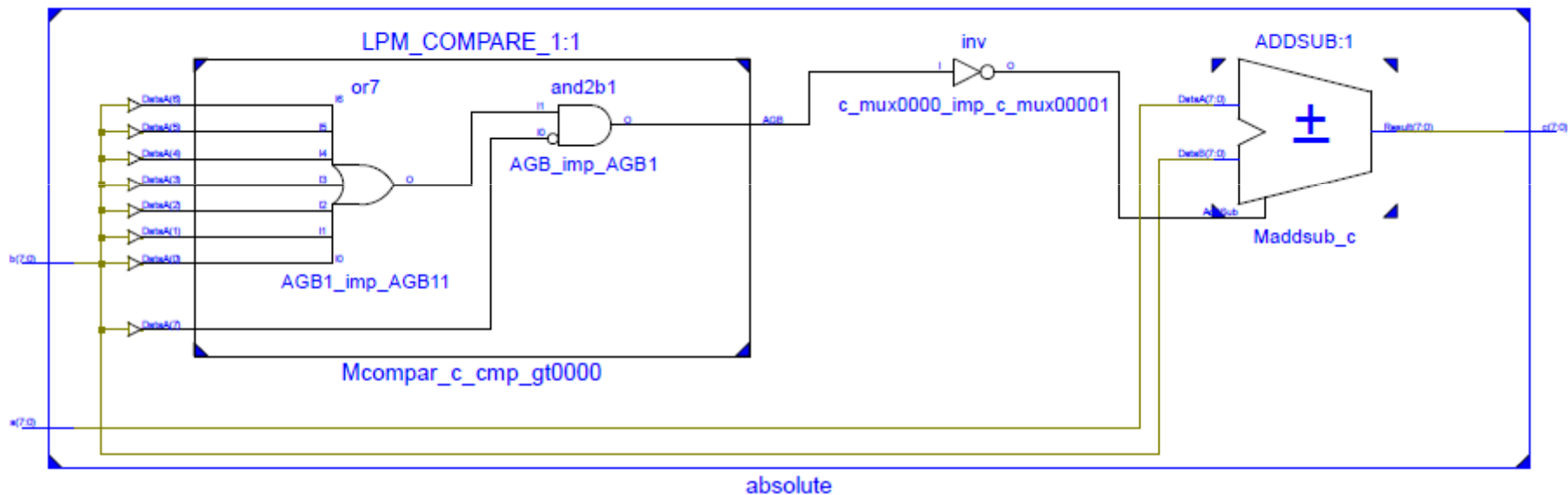


zasedenost
CPLD virov:
{21, 63, 0}

celic termov flip-flopov

Postopek sinteze vključuje optimizacijo

- ▶ Stavek: $c \leq a+b$ when $b>0$ else $a-b$;
 - ▶ primerjalnik (or7, and2) in ADDSUB blok
 - ▶ zasedenost 19 / 55 / 0

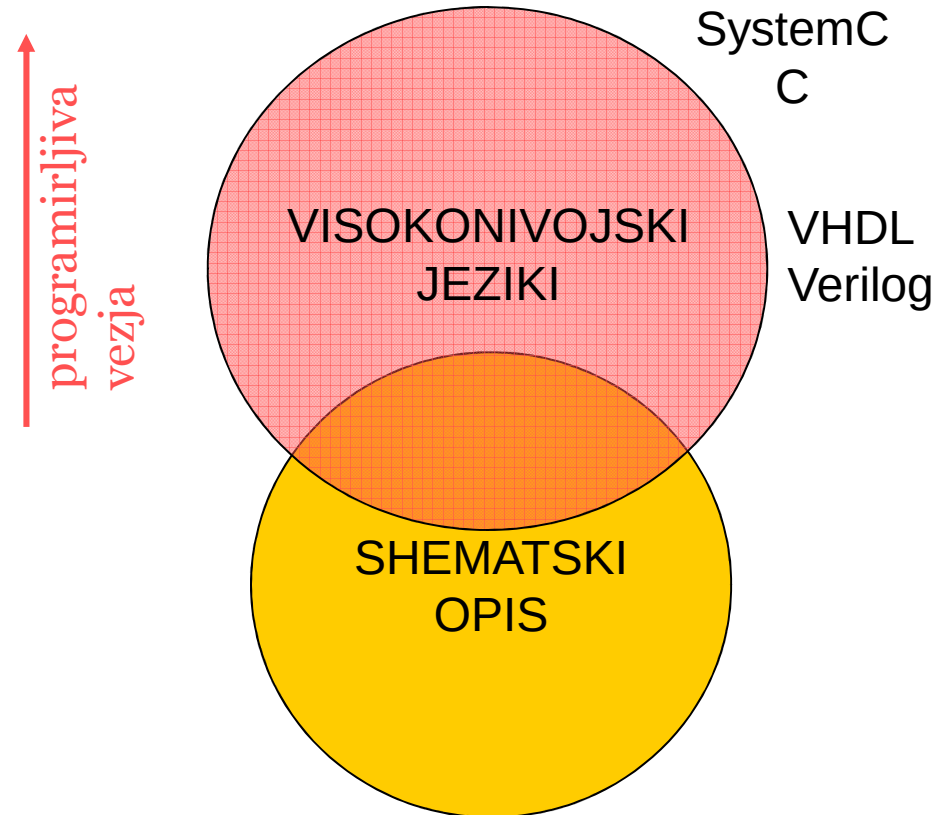


- ▶ Drug zapis: $c \leq a+b$ when $b \geq 0$ else $a-b$;
- ▶ zasedenost 17 / 53 / 0

Način opisovanja digitalnih vezij

Nivoji opisa vezja:

- ▶ specifikacija
 - ▶ postopkovni (behavioral)
 - ▶ funkcijski (dataflow, RTL)
 - ▶ logični
-
- ▶ nivo transistorjev
 - ▶ geometrija vezja (layout)
-
- ▶ Standardizirani jeziki (IEEE)
 - ▶ VHDL
 - ▶ Verilog, System Verilog
 - ▶ SystemC

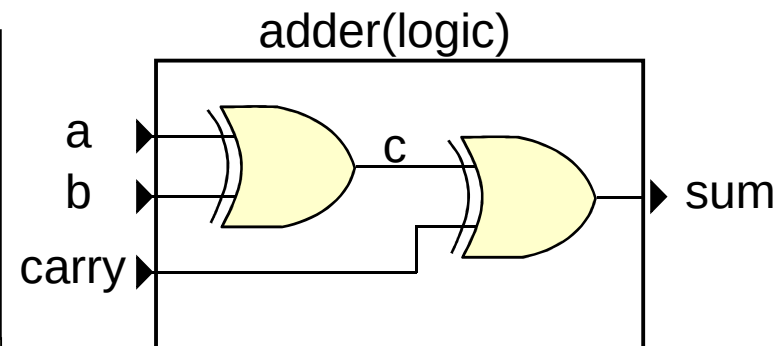


Funkcijski opis vezja v jeziku VHDL

- ▶ stavki opisujejo gradnike vezja
 - ▶ stavki za opis vezja se izvajajo paralelno
 - ▶ vrstni red stavkov ni pomemben (sočasni stavki)

```
entity adder is  
  port ( a, b : in std_logic;  
         carry : in std_logic;  
         sum : out std_logic);  
end adder;
```

```
architecture logic of adder is  
  signal c : std_logic;  
begin  
    sum <= c xor carry;  
    c <= a xor b;  
end one;
```

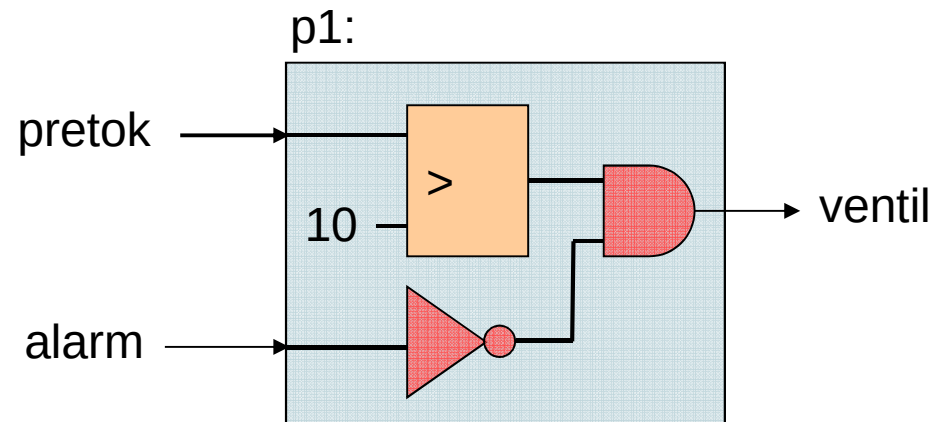


deklaracija notranjega signala

Postopkovni opis vezja v jeziku VHDL

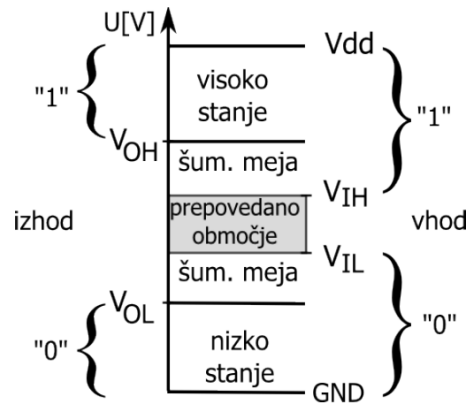
- ▶ v procesu opišemo delovanje vezja
 - ▶ zgradbo vezja določi program za sintezo vezij
 - ▶ vrstni red stavkov je pomemben (sekvenčni stavki)

```
arhitektura
p1: process
    ventil <= '0';
    if pretok > 10 then
        ventil <= '1';
    end if;
    if alarm = '1' then
        ventil <= '0';
    end if;
end process;
```



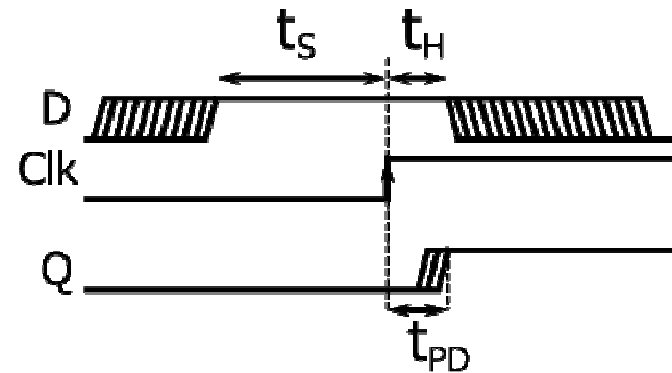
VHDL model vezja predstavlja poenostavljen

Digitalne vrednosti



- ▶ Kako razlikujemo med logično 1 in 0 ?
- ▶ Statični red
 - ▶ med 0 in 1 uvedemo nedovoljeno stanje

Digitalni čas



- ▶ Kateri signal se je prej spremenil ?
- ▶ Dinamični red
 - ▶ izogibanje "tekmovanju" med signali